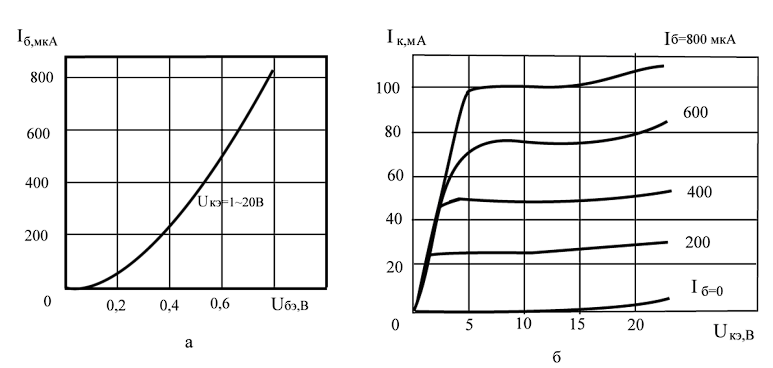
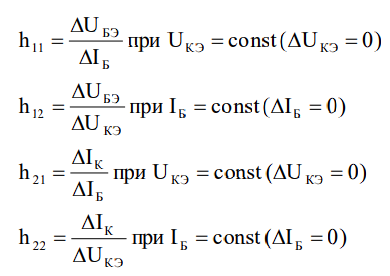
1. Диоды входные и выходные характеристики

Полупроводниковым **диодом** называется прибор, который имеет два вывода (приставка "ди-" означает два) и содержит один p-n-переходов. Все полупроводниковые диоды можно разделить на две группы: выпрямительные и специальные. Выпрямительные диоды, как следует из самого названия, предназначены для выпрямления переменного тока. В зависимости от частоты и формы переменного напряжения они делятся на высокочастотные, низкочастотные и импульсные. Специальные типы полупроводниковых диодов используют различные свойства p-n-переходов; явление пробоя, барьерную емкость, наличие участка с отрицательным сопротивлением и др. Конструктивно выпрямительные диоды делятся на плоскостные и точечные, а по технологиям изготовления на сплавные, диффузионные и эпитаксиальные. Плоскостные диоды благодаря большой площади p-n-перехода используются для выпрямления больших токов. Точечные диоды имеют малую площадь р-n-перехода и, соответственно, предназначены для выпрямления малых токов. Для увеличения напряжения лавинного пробоя используются выпрямите

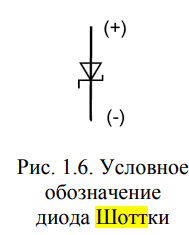


Для анализа работы транзистора и для расчетов схем при больших сигналах часто используют вольт-амперную характеристику (ВАХ) транзистора. На рис. 3.4 показаны типовые ВАХ маломощного биполярного транзистора по схеме включения с ОЭ. Зависимость между током и напряжением во входной цепи транзистора называют входной или базовой характеристикой транзистора (рис. 3.4,а). Зависимость тока коллектора от напряжения между коллектором и эмиттером при фиксированных значениях тока базы называют семейством выходных (коллекторных) ВАХ транзистора ( рис. 3.4.,б). Входная характеристика практически не зависит от напряжения UКЭ, а выходные приблизительно равноудалены друг от друга и почти прямолинейны в широком диапазоне изменения напряжения UКЭ. Для аналитических расчетов устройств с биполярными транзисторами используют h-параметры транзисторов.



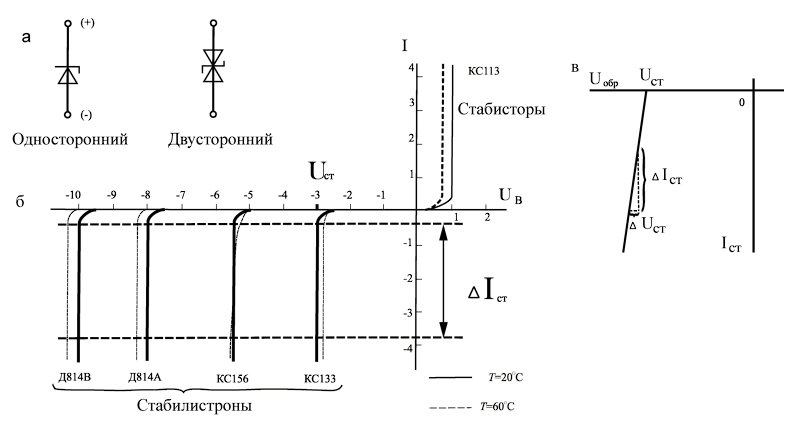
Параметры h могут быть легко определены по входной и выходным характеристикам транзистора с учетом приведенных выше зависимостей. Параметр h11 имеет размерность сопротивления, он представляет собой входное сопротивление биполярного транзистора. Параметр h12 – безразмерный коэффициент внутренней обратной связи по напряжению. Его значения лежат в пределах 0,002 – 0,0002 и в большинстве случаев им можно пренебречь, т.е. полагать равным нулю. Параметр h21 – коэффициент передачи тока, характеризующий усилительные (по току) свойства транзистора при постоянном напряжении на коллекторе. Параметр h22 имеет размерность проводимости и характеризует выходную проводимость транзистора при постоянном токе базы. Характеристики транзистора сильно зависят от температуры. С повышением температуры резко возрастает начальный коллекторный ток IК0 вследствие значительного увеличения количества неосновных носителей заряда в коллекторе и базе. В то же время несколько увеличивается и коэффициент h21 из-за увеличения подвижности носителей заряда. hпараметры транзистора, особенно коэффициент передачи тока h21, зависят от частоты переменного напряжения, при котором производят измерения приращений токов и напряжений ΔIБ, ΔIК, ΔUБЭ, ΔUКЭ, так как на высоких частотах начинает сказываться конечное время, за которое носители заряда (в транзисторе типа n-p-n это электроны) проходят расстояние от эмиттера до коллектора транзистора. Частоту, на которой коэффициент передачи тока h21 уменьшается до единицы, называют граничной частотой коэффициента передачи тока fГР. На практике часто используют частоту f0, на которой параметр h21 уменьшается в 2 раза

1. Диоды Шоттки

**Дифференциальное сопротивление стабилитрона** – это параметр, который характеризует наклон вольт-амперной характреистики в области пробоя. На рис. 1.5в, приведена линеаризованная характеристика стабилитрона, с помощью которой можно определить его дифференциальное сопротивление в основе выпрямляющего диода может использоваться не только переход между полупроводниками р- и n-типа, но и между полупроводником и металлом. Такие диоды называются **диодами Шоттки**. Основной отличительной особенностью характеристик диода Шоттки является значительное меньшее прямое падение напряжения по сравнению с диодами на основе р-n-перехода. Это объясняется тем, что в диоде Шоттки одно из веществ перехода-металл, и следовательно, его электрическое сопротивление (и соответствующее падение напряжения на нем) значительно меньше, чем у полупроводника. Другая особенность диода Шоттки- отсутствие проникновения неосновных носителей заряда из металла в полупроводник (в рассматриваемом случае – дырок, которые для n- области являются неосновными). Это значительно повышает быстродействие диодов Шоттки по сравнению с обычными диодами, так как отпадает необходимость в рассасывании таких носителей при смене полярности внешнего напряжения. Диоды Шоттки, у которых выпрямляющий переход представляет собой тонкую пленку молибдена или алюминия, нанесенную на пластинку кремния методом вакуумного напыления, обладают емкостью, не превышающей 0,01 пФ. Это обеспечивает чрезвычайно малое время их переключения (доли наносекунды) и предельно высокую частоту работы (десятки гигагерц). Мощные диоды позволяют пропускать токи в десятки ампер при обратных напряжениях до 500 В. Благодаря меньшему прямому напряжению они обеспечивают более высокий КПД. Условное обозначение металлополупровдникового диода Шоттки приведено на 

1. Стабилитроны

**Стабилитроны** - это полупроводниковые диоды, работающие в режиме лавинного (электрического) пробоя. При обратном смещении полупроводникового диода возникает электрический лавинный пробой p-n-перехода. При этом в широком диапазоне изменения тока через диод напряжение на нем меняется очень незначительно. Для ограничения тока через стабилитрон последовательно включают сопротивление. Если в режиме пробоя мощность, расходуемая в нем, не превышает предельно допустимую, то в таком режиме стабилитрон может работать неограниченно долго. На рис. 1.5а показано схематическое изображение стабилитрона, а на рис. 1.5б приведены их вольт-амперныые характеристики. Из вольт-амперных характеристик рис. 1.5 видно, что при изменении тока через стабилитрон ∆Iст напряжение на стабилитроне Ucт практически постоянно. Напряжение стабилизации стабилитронов зависит от температуры. На рис 1.5б штриховой линией показано перемещение вольт-амперных характеристик при увеличении температуры. Очевидно, что повышение температуры увеличивает напряжение лавинного пробоя при Ucт> 5В и уменьшает его при Ucт< 5В. Иначе говоря стабилитроны с напряжением стабилизации больше 5В имеют положительный температурный коэффициент напряжения (ТКН), а при Ucт< 5В – отрицательный. При Ucт=6… 5В ТКН близок к нулю. Иногда для стабилизации напряжения используют прямое падение напряжение на диоде. Такие приборы в отличие от стабилитронов называют стабисторами. В области прямого смещения р-n- перехода напряжение на нем имеет значение 0,7…2 В и мало зависит от тока. В связи с этим стабисторы позволяют стабилизировать только малые напряжения (не более 2В). Для ограничения тока через стабистор последовательно с ним также включают сопротивление.



Основными параметрами стабилитронов являются:

• напряжение стабилизации Ucт;

• температурный коэффициент напряжения стабилизации ТКНст.;

• допустимый ток через стабилитрон Icт.доп ;

• дифференциальное сопротивление стабилитрона Rст =∆ Ucт/Icт

1. Варикапы

**Варикапы** - это полупроводниковые диоды, в которых используется барьерная емкость p-n-перехода. Эта емкость зависит от приложенного к диоду обратного напряжения и с увеличением его уменьшается. Схематическое изображение варикапа приведено на рис.1.4а, а его вольт-амперная характеристика - на рис.1.4б. Основным параметром варикапа является; его начальная емкость , коэффициент перекрытия по емкости

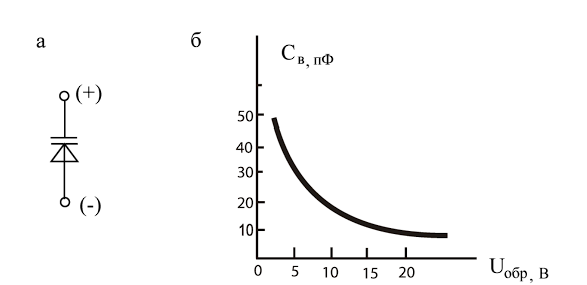


Рис. 1.4. Схематичное изображение варикапа (а) и зависимость емкости варикапа от обратного напряжения (б)

Коэффициент перекрытия по емкости определяется как отношение максимальной емкости С макс варикапа к его минимальной емкости С мин



**Варикапы** находят применение в различных электронных схемах:

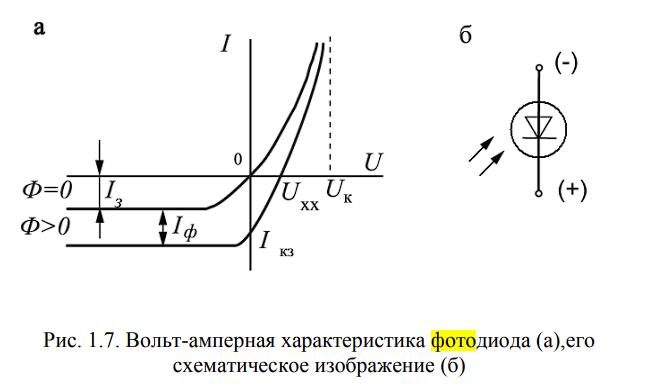
модуляторах, перестраиваемых резонансных контурах, генераторах с

электронной настройкой, параметрических усилителях и генераторах и др.

1. Фотодиоды

**Фотодиод** представляет собой диод с отрытым p-n-переходом. Световой поток Ф фотодиода, падающий на открытый p-n-переход приводит к появлению в одной из областей дополнительных неосновных носителей зарядов, в результате чего увеличивается обратный ток. В общем

случае ток фотодиода определяется световым потоком.



Вольт-амперные характеристики фотодиода приведены на рис. 1.7а, а его схематичное изображение – на рис. 1.7б. Без включения нагрузки фотодиод может работать в двух режимах: 1) короткого замыкания и 2) холостого хода. В режиме короткого замыкания напряжение на диоде равно нулю, и ток в диоде определяется Ф. Таким образом, в режиме короткого замыкания соблюдается прямая пропорциональность между током в диоде и световым потоком. При Ф=0 существует теневой ток Is. Такая пропорциональность достаточно хорошо соблюдается в пределах 6-7 порядков. В режиме холостого хода тока в диоде нет, а напряжение холостого хода Uxx отмеченное на рис.1.7 а, лежит на горизонтальной оси. Таким образом, при Рис. 1.6. Условное обозначение диода Шоттки I=0 область р заряжается положительно, а область h – отрицательно и между электродами фотодиода при освещении появляется разность потенциалов, называемая фото-ЭДС (Еф). Еф равна напряжении Uxx и не может превышать контактной – разности потенциалов Uk Для кремниевых фотодиодов напряжения Uxx

1. Светодиоды

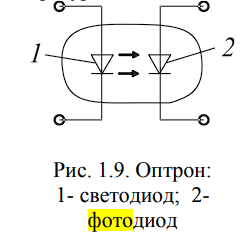
Фотодиоды находят применение как приемники энергии оптического излучения. Так солнечные батареи изготавливаются на основе фотодиодов с Светоизлучающие диоды (**светодиоды**) преобразуют электрическую энергию в световое излучение за счет рекомбинации электронов и дырок. В обычных диодах рекомбинация электронов и дырок происходит с выделением тепла, т.е. без светового излучения. Такая рекомбинация вызывается фононной.



В светодиоде преобладает рекомбинация с излучение света, которая называется фотонной. Обычно такое излучение бывает резонансным и лежит в узкой полосе частот. Для изменения длины волны излучения можно менять полупроводниковый материал, из которого изготовлен светодиод. На рис.1.8 а, показано схематическое изображение светодиода, а на рис. 1.8 б приведены спектральные характеристики излучения. Для изготовления светодиодов наиболее часто используются фосфид галлия или арсенид галлия. Для диодов видимого излучения часто используют фосфид-арсенида галлия. Светодиоды изготавливают как в виде отделенных индикаторов, так и в виде семисегментых или точечных матриц. Семисегментные матрицы состоят из семи светящихся полосок- сегментов, из которых можно синтезировать изображение любой цифры от 0 до 9 (такие матрицы используются, например, в электронных часах с цифровой индикацией). В точечных матрицах изображение формируется из светящихся точек. На основе точечных матриц можно синтезировать уже не только изображение цифры, но и любого индицируемого знака (буква, специального символа и т.д.)

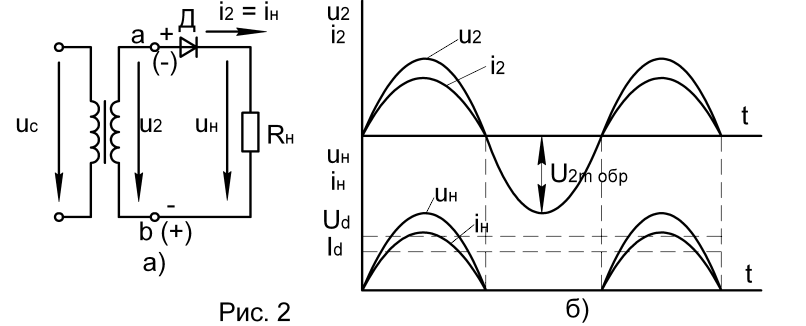
1. Оптроны

Светодиоды и фотодиоды часто используются в паре, которая получила название **оптрон**. При этом они помещаются в один корпус (рис. 1.9) таким образом, чтобы светочувствительная площадка фотодиода располагалась напротив излучающей площадки светодиода. Оптроны широко используются в электронной аппаратуре для гальванической развязки входных и выходных цепей. Входные и выходные цепи в таких приборах оказываются электрически никак не связанными, поскольку передача сигнала осуществляется через оптическое излучение. Использование оптронов в электронно-вычислительных устройствах является одним из основных методов повышения помехоустойчивости аппаратуры.

Основной носитель помех в радиоэлектронной аппаратуре – корпус. Корпус используется как один их полюсов электропитания, поэтому подключение к нему разных силовых устройств приводит к наведению кратковременных импульсных помех при коммутациях сильноточных цепей. В то же время для передачи информации чисто электрическим путем между устройствами- источником и приемником информации – должна быть электрическая связь по корпусу. Если к этому же корпусу подключены силовые цепи, то помехи, вызванные коммутациями в этих цепях, приводят к сбоям в работе других устройств, подключенных к корпусу. Передача информации с помощью оптронов позволяет развязать электрические цепи питания источника и приемника информации, так как носителем информации является электрически нейтральное оптическое излучение. Таким образом, устройства могут иметь разные корпуса, т.е. оказываются гальванически развязанными и не подверженными воздействию помех. Кроме защиты от воздействия помех, гальваническая развязка на основе оптронов позволяет решить еще одну задачу – совместную работу устройств, находящихся под разными потенциалами. Любая, даже небольшая, разность потенциалов не позволяет чисто электрически соединять разные устройства, поскольку это приведет к выходу их из строя. Передача сигнала в оптроне возможна, даже если цепи светодиода и фотодиода находятся под разными (в некоторых оптронах до 500 В) напряжениями. Таким образом, устройства, информационно связанные с помощью оптрона, могут находится под разными электрическими потенциалом

1. Выпрямитель на одном диоде

Однополупериодная схема выпрямления показана на рис. 2а, а временные диаграммы тока iН и напряжения uН на нагрузочном устройстве RН – на рис. 2б

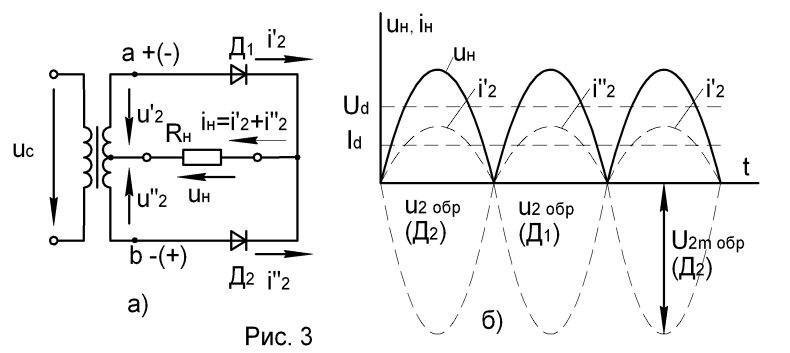


Рассмотрим работу схемы, считая диод Д идеальным; это означает, что его обратное сопротивление равно бесконечности, а прямое – нулю. Ток iН в нагрузочном резисторе RН появляется только в те полупериоды напряжения u2, когда потенциал точки «a» вторичной обмотки трансформатора положителен по отношению к потенциалу точки «b», т.к. в этом режиме диод Д открыт. В этом случае напряжение на диоде практически равно нулю, а на нагрузочном резисторе uН = u2. В отрицательный полупериод u2 к диоду приложено обратное напряжение u2 ОБР, ток через него не протекает, а напряжение на нагрузочном резисторе равно нулю. Таким образом, при однополупериодном выпрямлении ток через нагрузочный резистор RН протекает только в течение одного полупериода напряжения u2 и имеет пульсирующий характер. Наибольшее обратное напряжение на диоде равно амплитудному значению напряжения во вторичной обмотке трансформатора:



Большая величина пульсаций, намагничивание сердечника трансформатора постоянной составляющей выпрямленного тока – все эти недостатки ограничивают применение однополупериодной схемы выпрямления

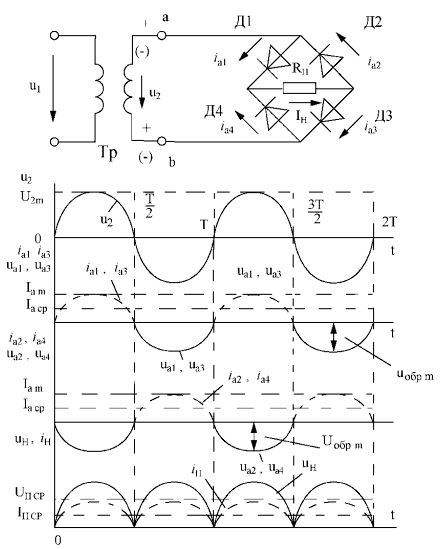
1. Выпрямитель на двух диодах со средней точкой.



Двухполупериодная схема выпрямления с выводом средней точки вторичной обмотки трансформатора представлена на рис. 3а, а временные диаграммы напряжения uН и тока iН в нагрузочном резисторе RН – на рис. 3б. Два диода, Д1 и Д2, присоединены анодами к концам вторичной обмотке трансформатора «a» и «b», а нагрузочный резистор RН включается между общей точкой катодов и средней точкой вторичной обмотки трансформатора. В первый полупериод, когда «a» имеет положительный потенциал относительно средней точки «о», а «b» – отрицательный ток i'2 протекает от «a» через Д1 и нагрузочный резистор RН к точке «о». К диоду Д2 в это время приложено обратное напряжение u2 ОБР. В следующий полупериод «b» имеет положительный, а «a» – отрицательный потенциал относительно точки «о», и ток протекает от «b» через Д2 и нагрузочный резистор RН к точке «о», а к диоду Д1 приложено обратное напряжение u2 ОБР. Таким образом, ток через нагрузочный резистор в течение всего периода переменного напряжения u2 протекает в одном направлении. Среднее значение выпрямленного напряжения для двухполупериодной схемы в 2 раза превышает соответствующее напряжение для однополупериодной схемы выпрямления, а ток через диоды вдвое меньше, чем в однополупериодной схеме. Однако, обратное напряжение u2 ОБР на закрытых диодах при одинаковых значениях напряжения u2 = u2' = u2'' в два раза превышает величину обратного напряжения однополупериодного выпрямителя. Величина пульсаций меньше, чем в однополупериодном выпрямителе. Недостатками ее являются необходимость использовать трансформатор с выводом средней точки его вторичной обмотки, большая величина обратного напряжения на диодах

10. Выпрямитель мостовой

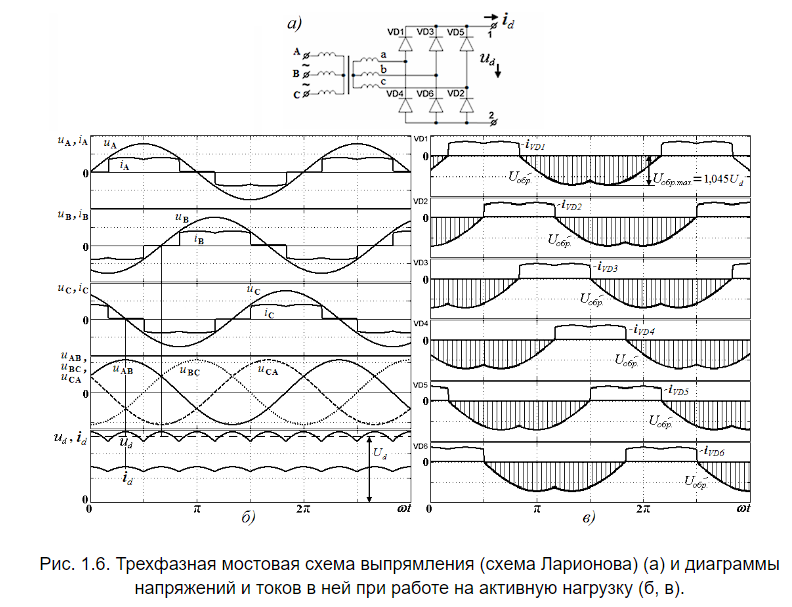
Мостовая схема двухполупериодного выпрямителя и соответствующие ей временные диаграммы приведены на рис.2.32. В этой схеме диоды ДI – Д4 включены по мостовой схеме, к одной диагонали которой подведено переменное напряжение u2 , а к другой подключен нагрузочный резистор RН. В течение первой половины периода напряжения u2 , когда потенциал точки а положителен, точки b – отрицателен, диоды Д1 , Д3 открыты, Д2, Д4 – заперты, ток ίн= ίа1= ίа3 течет через диоды Д1, Д3 и нагрузочный резистор RН. К диодам Д2, Д4 приложено обратное напряжение вторичной обмотки трансформатора u2. В другой полупериод напряжения u2, потенциал точки а ниже потенциала точки b, диоды Д2, Д4 открыты, Д1 , Д3 – закрыты, при этом ίн= ίа2= ίа4 течет через диоды Д2, Д4 и нагрузочный резистор RН в том же направлении, что и в первый полупериод напряжения. При этом средний ток I н cp и среднее напряжение U н cp на нагрузке в два раза превышают ток и напряжение в однополупериодном выпрямителе, пульсации значительно меньше (Р≈0,67), Uобр m на каждом из диодов в закрытом состоянии равно Uобр m=U2m величина U н cp =0,9 U2.



11. Выпрямитель Ларионова

Трехфазная мостовая схема (рис. 1.6, а) обладает наилучшим коэффициентом использования трансформатора по мощности, наименьшим обратным напряжением на диодах и высокой частотой пульсации (шестипульсная) выпрямленного напряжения, что, в некоторых случаях, позволяет использовать эту схему без фильтра.

Диаграммы напряжений и токов, поясняющие работу идеализированного трехфазного мостового выпрямителя на активную нагрузку, представлены на рис. 1.6 (б, в).



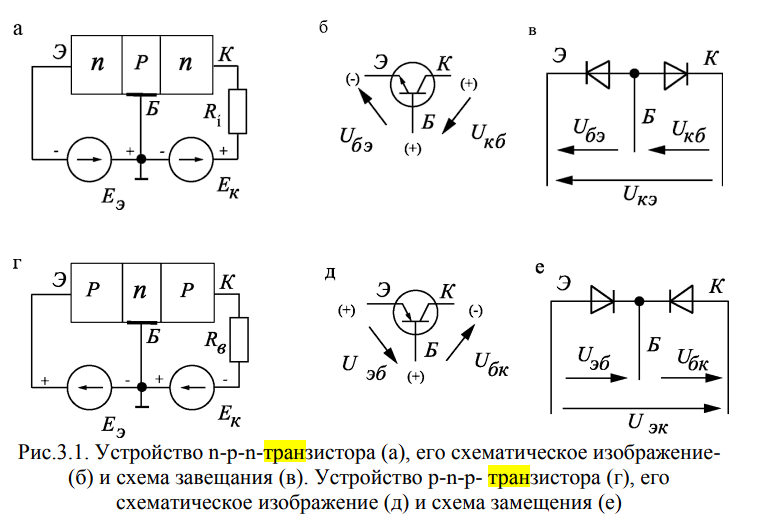
В проводящем состоянии будут находиться те два накрест лежащих вентиля выпрямительного моста, между которыми действует в проводящем направлении наибольшее линейное напряжение.

За период напряжения питания происходит шесть переключений вентилей и схема работает в шесть тактов, в связи с чем ее часто называют *шестипульсной*.

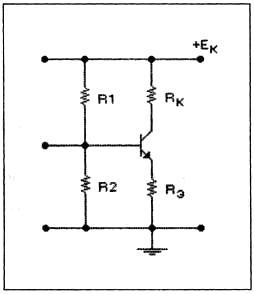
Кривая тока вторичной обмотки трансформатора определяется токами двух вентилей, подключенных к данной фазе. Один из вентилей входит в анодную группу, а другой – в катодную.

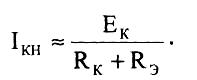
12. Транзистор биполярный

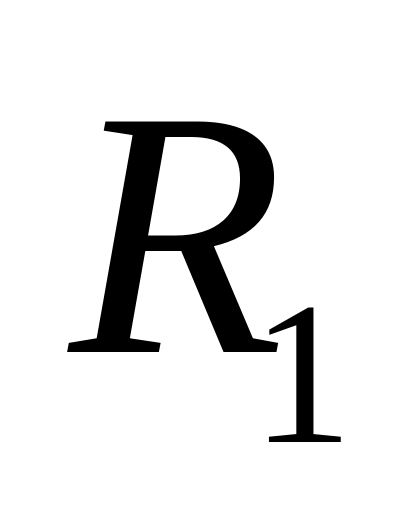
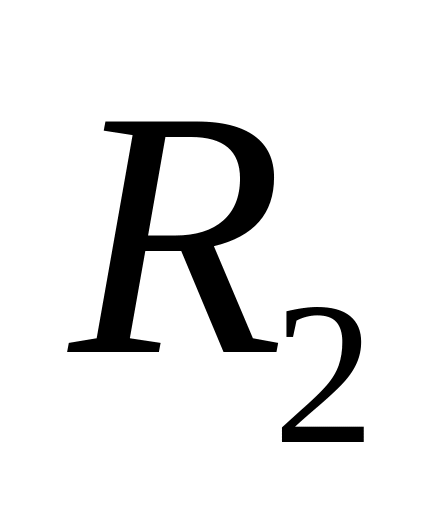
**Биполярным транзистором** называется полупроводниковый прибор, имеющий два взаимодействующих между собой р-n-перехода. Технология изготовления биполярных транзисторов может быть различной – сплавление, диффузия, эпитаксия, - что в значительной мере определяет характеристики прибора. В зависимости от последовательности чередования областей с различным типом проводимости различают n-p-n-транзисторы и p-n-pтранзисторы. Упрощенное устройство плоскостного n-p-n-транзистора приведено приведено на рис. 1.10а, его условное обозначение – на рис. 1.10 б, а схема замещения – на рис. 1.10 в. Аналогичные представления для p-n-pтранзистора приведены на рис. 1.10 г, д, е. Средняя часть рассматриваемых структур называется базой- Б, одна крайняя область - коллектором- К (накопитель электронов), а другая – эмиттером - Э (источник электронов). В несимметричных структурах электрод базы располагается ближе к эмиттеру, а ширина базы зависит от частотного диапазона транзистора и с повышением частоты уменьшается. Полярность напряжений, приложенных к электродам транзистора, показана на рис. 1.10 в,д.

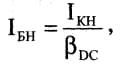


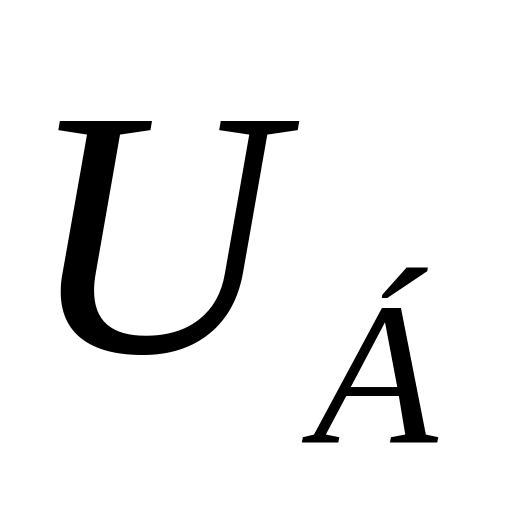
13. Задание тока базы с делителем напряжения

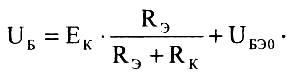
С хема задания тока базы NPN транзистора с помощью делителя напряжения в каскаде с общим эмиттером представлена на рис. *3.2.*Аналогично пункту 1, рассмотрим режимы насыщения, усиления и отсечки. Ток коллектора в режиме насыщения описывается следующим выражением:



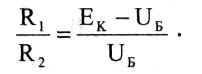
Независимо от сопротивления резисторов  и  делителя напряжения ток насыщения базы определяется из выражения:

*Рис. 3.2*

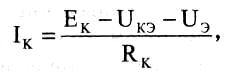
а напряжение  на базе равно:



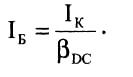
Это же напряжение задается делителем напряжения. Зная Ек и UB, можно определить отношение сопротивлений плеч делителя:



Суммарное сопротивление делителя обычно выбирается так, чтобы ток, протекающий через него, был примерно в 10 раз меньше тока коллектора. Составив систему уравнений и решив её, можно найти сопротивления R1 и R2 плеч делителя, которые обеспечивают ток базы, необходимый для перевода транзистора в режим насыщения. Аналогичным образом каскад рассчитывается и в усилительном режиме, но с учетом следующих выражений. Ток коллектора в усилительном режиме описывается уравнением нагрузочной прямой:



где - ток эмиттера. Ток базы определяется из выражения:



Ток коллектора связан с током эмиттера следующим выражением:

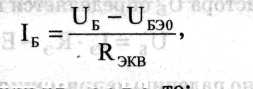
https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_57d76a7bcdaa8ae3.jpg

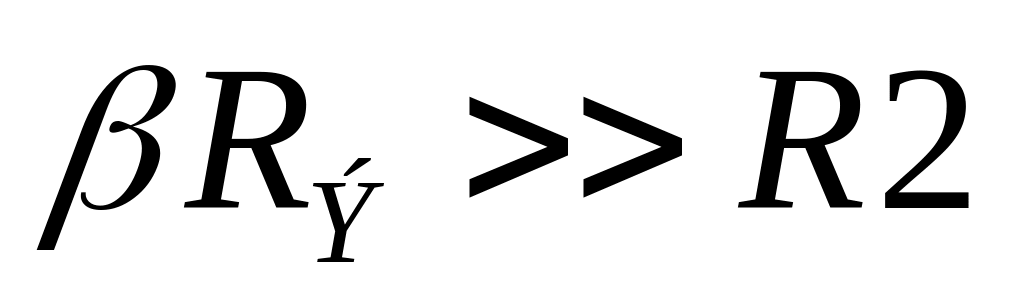
Напряжение на базе транзистора равно:

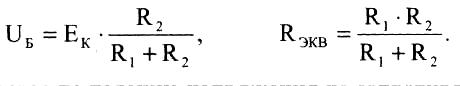
https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_1298aecf356915c5.jpg

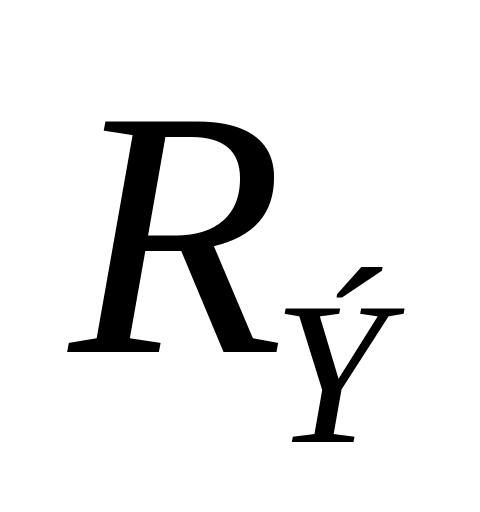
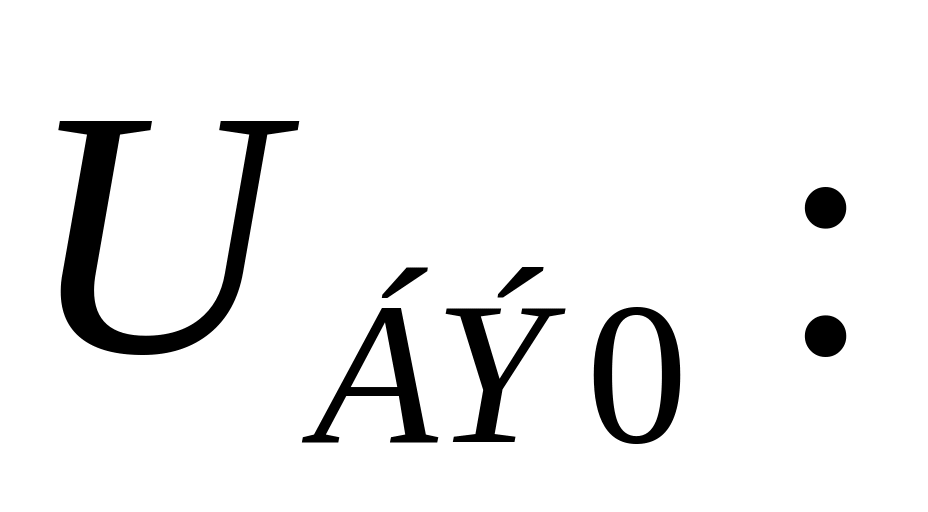
Далее рассчитываются сопротивления и делителя напряжения. Суммарное сопротивление делителя должно обеспечивать больший по сравнению с током базы ток делителя (обычно ток делителя берут в 10 раз меньше тока коллектора).

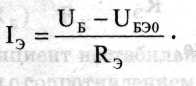
Рабочая точка определяется пересечением нагрузочной прямой и выходной характеристики транзистора. При известных значениях сопротивлений и ток базы транзистора равен:



где UB - напряжение на базе транзистора. Если  , то:

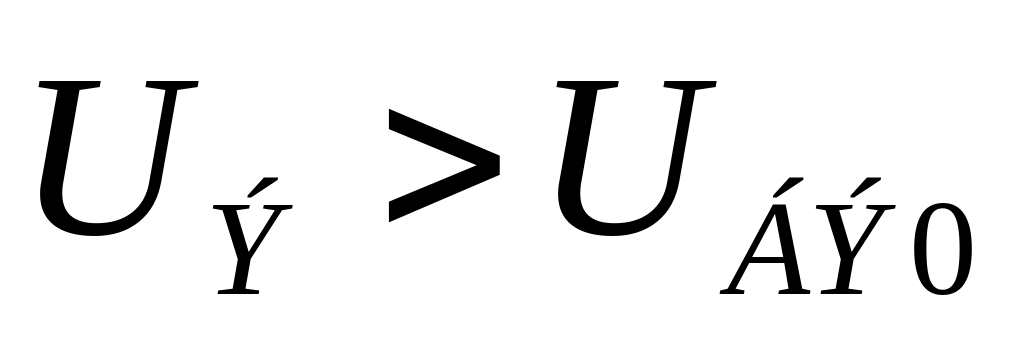


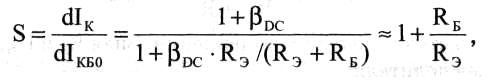
Ток эмиттера определяется по падению напряжения на сопротивлении  в цепи эмиттера и вычисляется как разность потенциалов и 

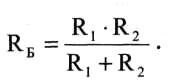


Значение напряжения коллектор-эмиттер вычисляется по закону Кирхгофа:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_6879f7f2f571fdd5.jpg

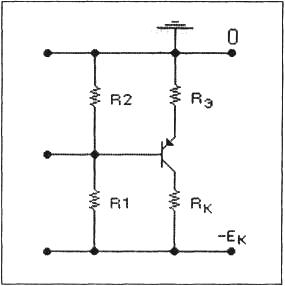
Коэффициент нестабильности тока коллектора (S) из-за влияния тепловых токов в схеме при условии, что  , определяется как:



где 

Как следует из этого выражения, при данном способе задания тока базы коэффициент нестабильности определяется элементами схемы и практически не зависит от характеристик транзистора, что улучшает стабильность рабочей точки.

**PNP-транзистор.**рис. 3.3

Схема задания тока базы с помощью делителя напряжения в каскаде с общим эмиттером на PNP-транзисторе представлена на *рис. 3.3.*Для данной схемы справедливы выражения, приведенные в предыдущем пункте для схемы с NPN-транзистором, со следующей поправкой: полярность напряжений и направления токов нужно поменять на обратные.

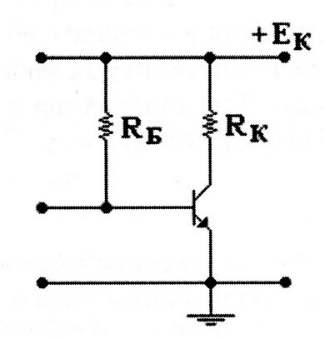
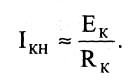
14. Задание тока базы с одним резистором

Схема транзисторного каскада с общим эмиттером представлена на рис. *3.1.*Режим, в кото­ром работает каскад, можно определить, построив его нагрузочную линию на выходной харак­теристике транзистора. Данный способ позволяет описать поведение транзистора в режимах насыщения, усиления и отсечки.

Режим насыщения определяется следующим условием: ток коллектора не управляется то­ком базы:

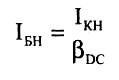
https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_f8fcbb0d041b925a.jpg

 — ток коллектора насыщения, определяется сопротивлением RK в цепи коллектора и напряжением источника пита­ния Ек:

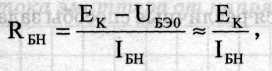


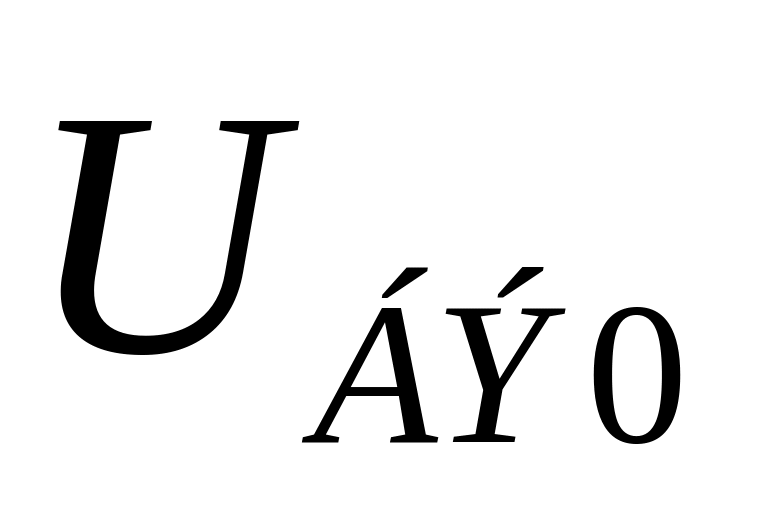
*Рис. 3.1*

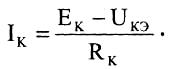
Этот режим характеризуется низким падением напряжения коллектор-эмиттер (порядка 0.1В). Для перевода транзистора в этот режим необходимо в базу транзистора подать ток, больший, чем ток насыщения базы IБН:

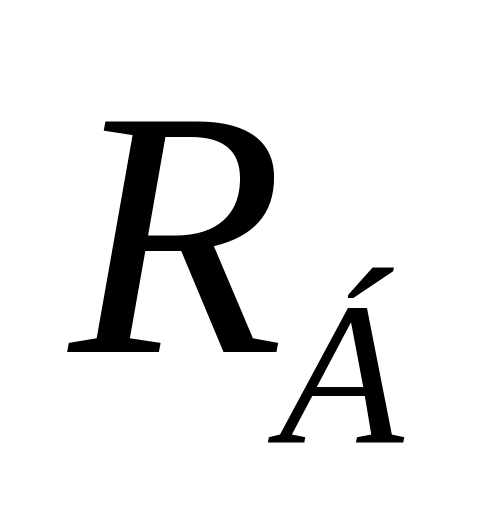


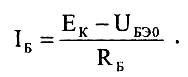
Ток насыщения базы задается с помощью резистора  с сопротивлением, равным:



где  - пороговое напряжение перехода база-эмиттер. Для кремниевых транзисторов =0.7В. В режиме усиления ток коллектора меньше тока  описывается уравнением нагрузочной прямой:



Рабочая точка в статическом режиме задается током базы и напряжением на коллекторе. Она определяется точкой пересечения нагрузочной прямой и выходной характеристики транзистора. Базовый ток транзистора определяется как ток через сопротивление в цепи базы  (см. рис. *3.1):*

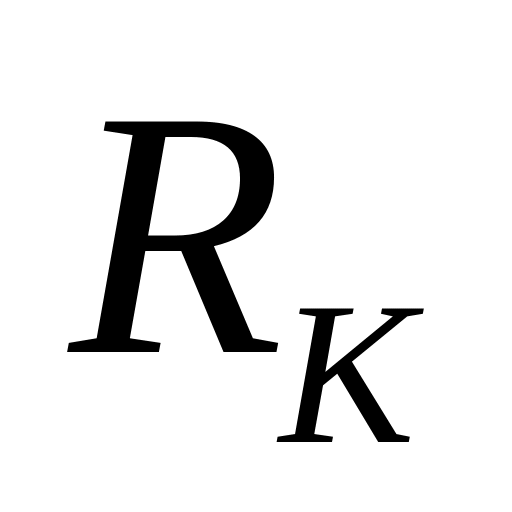
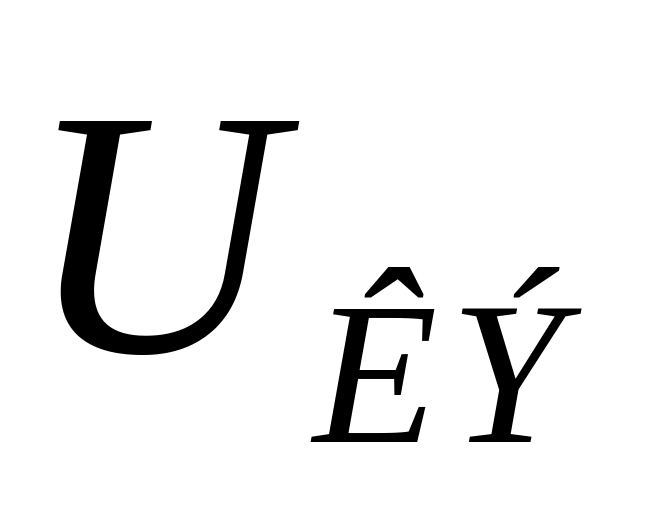


Ток коллектора вычисляется по формуле:

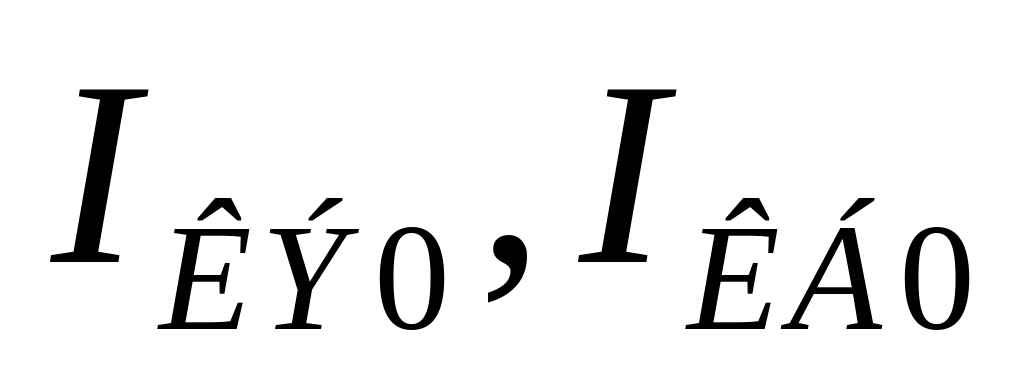
https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_c162d7cc9d7ad3ca.jpg

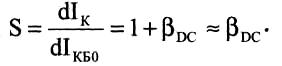
Напряжение коллектор-эмиттер определяется из уравнения нагрузочной прямой:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_366e7d55911a02e.jpg

В режиме отсечки ток коллектора равен нулю и не создает на резисторе  падения напряжения. Следовательно, напряжение  максимально и равно напряжению источника питания Ек. Ток коллектора с учетом тепловых токов определяется из следующего выражения:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_a382e55b0d113106.jpg

где  - обратные токи переходов коллектор-эмиттер и коллектор-база соответственно. Коэффициент нестабильности тока коллектора (S) из-за влияния тепловых токов в схеме определяется как:

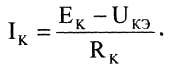


Как следует из этого выражения, при рассматриваемом способе задания тока базы коэффициент нестабильности зависит от статического коэффициента передачи, который для транзисторов одного и того же типа может сильно различаться.

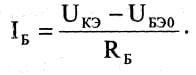
15. Задание тока базы с помощью резистора в цепи база-коллектор

Схема задания тока базы с помощью резистора в цепи база-коллектор в каскаде с общим эмиттером представлена на рис. *3.5*

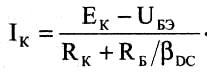
Ток коллектора в усилительном режиме описывается уравнением:



Рабочая точка определяется точкой пересечения нагрузочной прямой и выходной характе­ристики транзистора. Ток базы определяется из выражения:

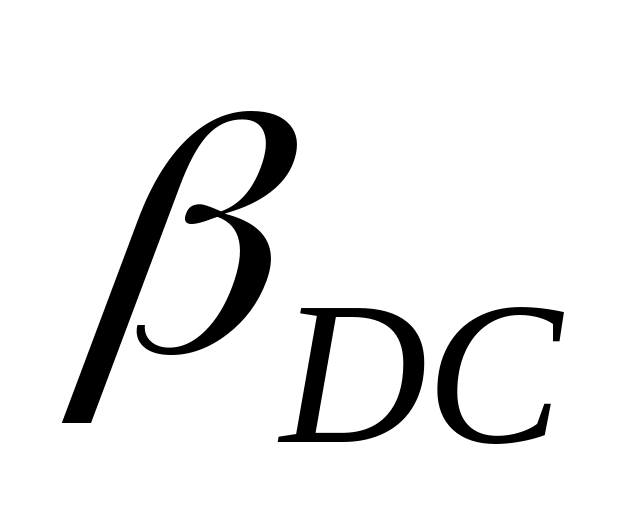


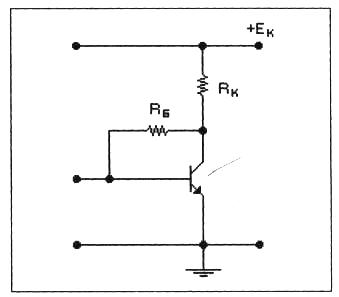
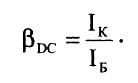
Как видно из выражения, ток базы зависит от напряжения коллектор-эмиттер, что делает схему менее чувствительной к разбросу значений статического коэффициента передачи устанавливаемых в нее транзисторов. Ток коллектора в схеме определяется по формуле:



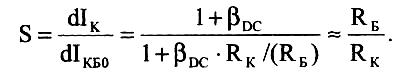
Значение напряжения коллектор-эмиттер вычисляется по закону Кирхгофа для напряжений:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_e6d215c295c69196.jpg

Статический коэффициент передачи тока  определяется отношением тока коллектора к току базы:



Коэффициент нестабильности тока коллектора (S) из-за влияния тепловых токов в схеме c резистором в цепи база-кол­лектор определяется как:



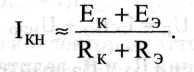
*Рис. 3.5*

Как следует из выражения, коэффициент нестабильности этой схемы несколько выше, чем у схем с сопротивлением в цепи эмиттера.

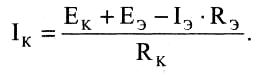
16. Задание тока базы с помощью дополнительного источника

Схема задания тока базы с помощью дополнительного источника в цепи эмиттера в каскаде с общим эмиттером на NPN-транзисторе представлена на рис. 3.4.

Ток коллектора в режиме насыщения равен:

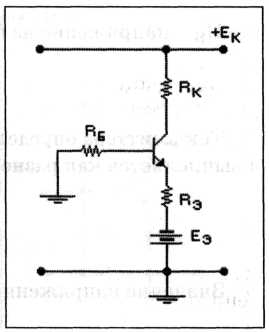


Ток коллектора в усилительном режиме описывается уравнением нагрузочной прямой:



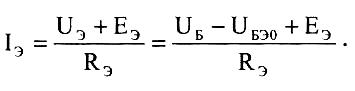
Напряжение на базе транзистора UB определяется из следующего выражения:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_3243cc761bbe4.jpg

Э то же напряжение равно падению напряжения на резисторе :

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_26c1fc6e7f600230.jpg

Ток эмиттера вычисляется по падению напряжения на сопротивлении R3:



имеет отрицательное значение.

*Рис. 3.4*

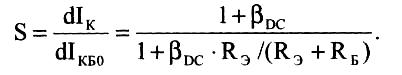
Ток коллектора связан с током эмиттера следующим выражением:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_2199fe54cd34867b.jpg

Значение напряжения коллектор-эмиттер вычисляется из закона Кирхгоффа для напряжений:

https://studfile.net/html/2706/176/html_0PMkzYZ4l_.aogW/htmlconvd-5rtywe_html_d0fc69ff85201700.jpg

Коэффициент нестабильности тока коллектора (S) определяется как:



Рассматриваемая схема характеризуется таким же коэффициентом нестабильности, как и предыдущая.

17. Работа транзисторного каскада в режиме малого сигнала ОЭ

Коэффициент усиления по напряжению определяется отношением амплитуд выходного синусоидального напряжения к входному:

KU = UВЫХ/UВХ. (40)

***Усилитель с общим эмиттером.***

Схема усилителя с общим эмиттером представлена на рис.5.

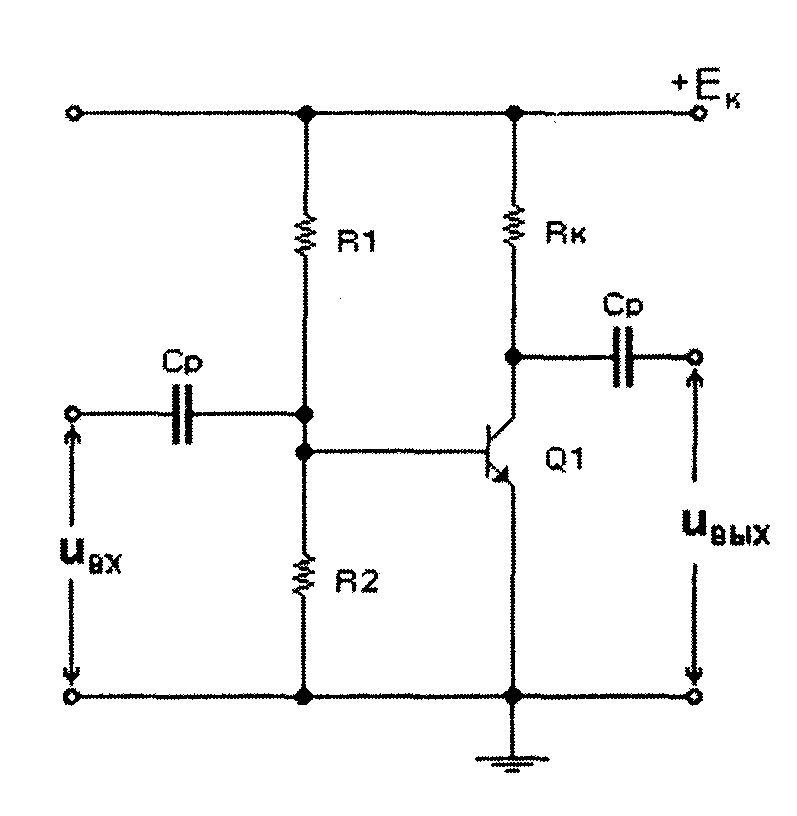


Рис.5

*Коэффициент усиления по напряжению усилителя с ОЭ* приближенно равен отношению со­противления в цепи коллектора rК к сопротивлению в цепи эмиттера rЭ:

КU = rК / rЭ, (41)

где rК – сопротивление в цепи коллектора, которое определяется параллельным соединением сопротивления коллектора RК и сопротивления нагрузки RН, (не показанном на рис.5), чью роль может играть, например следующий усилительный каскад:

, (42)

rЭ – дифференциальное сопротивление эмиттерного перехода, равное

rЭ = 25/ IЭ, (43)

где IЭ в [мА].

Для усилителя с сопротивлением RЭ в це­пи эмиттера коэффициент усиления равен:

. (44)

*Входное сопротивление усилителя по пе­ременному току* определяется как отношение амплитуд синусоидального входного напря­жения UВХ и входного тока IВХ: rВХ = UВХ / IВХ. (45)

*Входное сопротивление транзистора* ri оп­ределяется по формуле:

ri = β⋅ rЭ . (46)

*Входное сопротивления усилителя по переменному току* rВХ вычисляется как параллельное соединение сопротивлений ri, R1, R2:

. (47)

Значение дифференциального выходного сопротивления схемы находится по напряжению Uхх холостого хода на выходе усилителя, которое может быть измерено как падение напряже­ния на сопротивлении нагрузки, превышающем 200 кОм, и по напряжению UВЫХ, измеренно­му для данного сопротивления нагрузки RН, из следующего уравнения, решаемого относитель­но rВЫХ:

. (48)

Сопротивление RН ≥ 200 кОм можно считать разрывом в цепи нагрузки.

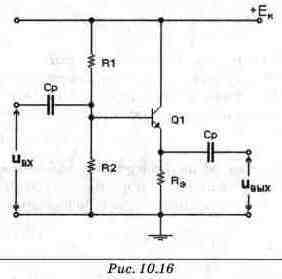
18. Работа транзисторного каскада в режиме малого сигнала ОБ

19. Работа транзисторного каскада в режиме малого сигнала ОК

Схема усилителя с общим коллектором или эмиттерного повторителя представлена на рис. 10.16. Коэффициент усиления по напряжению усилителя с ОК определяется из следующего выражения:

Electronics Workbench V 5.12

Как видно из выражения, коэффициент усиления каскада с общим коллектором приближенно равен 1, поскольку Гэ обычно мало по сравнению с сопротивлением Rэ. Из-за этого свойства каскад называют эмиттерным по-



вторителем. Входное сопротивление усилителя Гвх по переменному току определяется как отношение амплитуд синусоидального входного напряжения UBX и входного тока 1вх:

Electronics Workbench V 5.12

Входное сопротивление эмиттерного повторителя по переменному току определяется следующим выражением:

Electronics Workbench V 5.12

В данном случае для определения входного сопротивления каскада нужно принять во внимание сопротивление резисторов R1 и R2. С учетом сказанного получим:

Electronics Workbench V 5.12

Также при расчете схем необходимо учитывать сопротивление нагрузки, которая включается параллельно сопротивлению эмиттера Rэ. Из выражений для входного сопротивления видно, что эмиттерный повторитель обладает высоким входным сопротивлением по сравнению с каскадом с ОЭ. В общем случае выходное сопротивление эмиттерного повторителя в *B*AC+1 раз меньше сопротивления Rист источника сигнала на входе эмиттерного повторителя:

Electronics Workbench V 5.12

Если сопротивление Rист источника сигнала на входе эмиттерного повторителя пренебрежимо мало, то выходное сопротивление эмиттерного повторителя будет равно дифференциальному сопротивлению перехода база-эмиттер: rвых = rэ В случае, когда сопротивление Rист источника сигнала на входе очень велико (сравнимо с *B*ACRэ), сопротивление Rэ должно быть учтено как включенное параллельно наиденному выходному сопротивлению эмиттерного повторителя. Экспериментально выходное сопротивление каскада можно определить по результатам двух измерений: измерения напряжения холостого хода Uxx (на выход каскада подключается сопротивление порядка 200 кОм и измеряется падение напряжения на нем) и измерения выходного напряжения Uвых при наличии нагрузки сопротивлением Rн. После измерений выходное сопротивление можно подсчитать по формуле:

Electronics Workbench V 5.12

20. Графоаналитический метод расчета рабочей точки

Этот метод основан на непосредственном использовании ВАХ транзистора, представленных в графическом виде.

Рассмотрим схему транзисторного каскада с ОЭ, представленную на рис.6. Для тока базы, можно записать следующие уравнения:

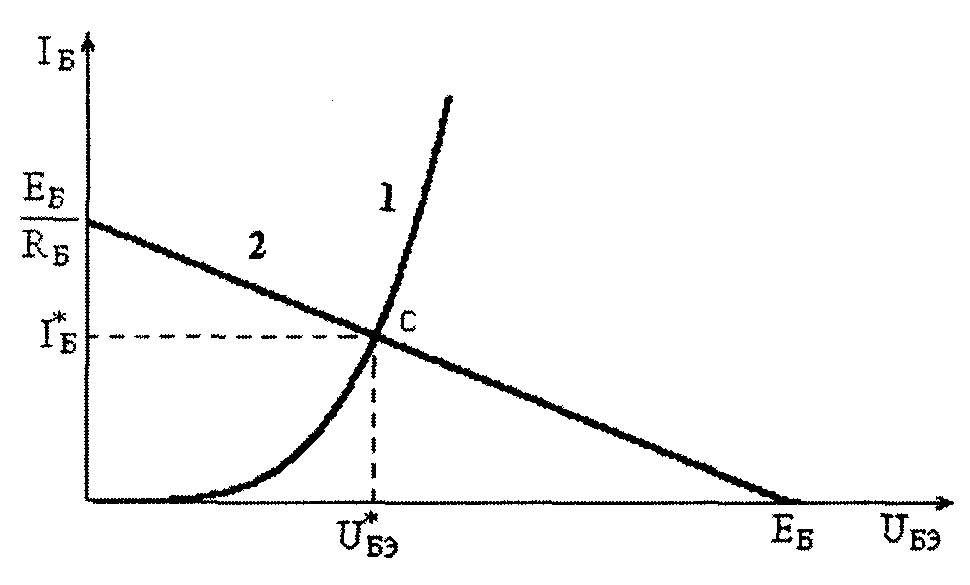
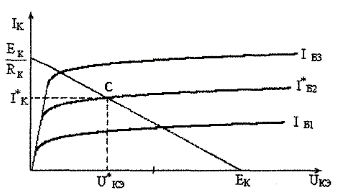


Рис.7

Решение системы в графическом виде представлено на рис.7. Оно представляет собой точку пересечения кривых 1 и 2. Кривая 1 представляет собой входную ВАХ транзистора (урав­нение (50) ) при условии, что напряжение UКЭ достаточно велико и его влиянием можно прене­бречь. Кривая 2 является нагрузочной линией и описывается уравнением (49). Она отсекает на оси токов отрезок, численно равный току EБ/RБ, а на оси напряжений – отрезок, чис­ленно равный напряжению EБ.

Рис.8



Координаты точки пересечения – ток I\*Би напряжение U\*БЭ являются искомыми вход­ными током и напряжением транзистора.

Для выходной цепи транзистора, т.е. для цепи коллектора, можно записать следующие уравнения:

Уравнение (52) описывает выходную ВАХ транзистора для найденного тока базы I\*Б. На рис.8 показано семейство выход­ных ВАХ транзистора для различных зна­чений тока базы. Из этого семейства необходимо выделить ту ВАХ, ток базы которой наиболее близок к полученной величине I\*Б. Может оказаться, что токи базы семейства ВАХ существенно отличаются от величины I\*Б. В этом случае необходимо выбрать две ветви ВАХ (для одной ток базы меньше, а для другой больше I\*Б) и методом интерпо­ляции построить ВАХ для заданного значе­ния I\*Б.

Уравнение (51) является уравнением нагрузочной прямой, которая показана в виде наклонной линии на рис.8.

Выходная ВАХ и нагрузочная прямая пересекаются в точке С, которая является решением системы уравнений (51), (52) в графическом виде. Координаты точки С, т. е. ток I\*К и напряжение U\*КЭ являются, соответственно, искомыми выходными то­ком и напряжением транзистора.

21. Аналитический метод расчета рабочей точки, метод эквивалентных схем

При использовании этого метода решение систем уравнений (49), (51) и (50), (52) требуется найти в аналитическом виде. Поскольку уравнения (50) и (52) являются не­линейными, невозможно получить аналитическое решение в явном виде. Один из способов решения таких систем заключается в линеаризации нелинейных уравнений.

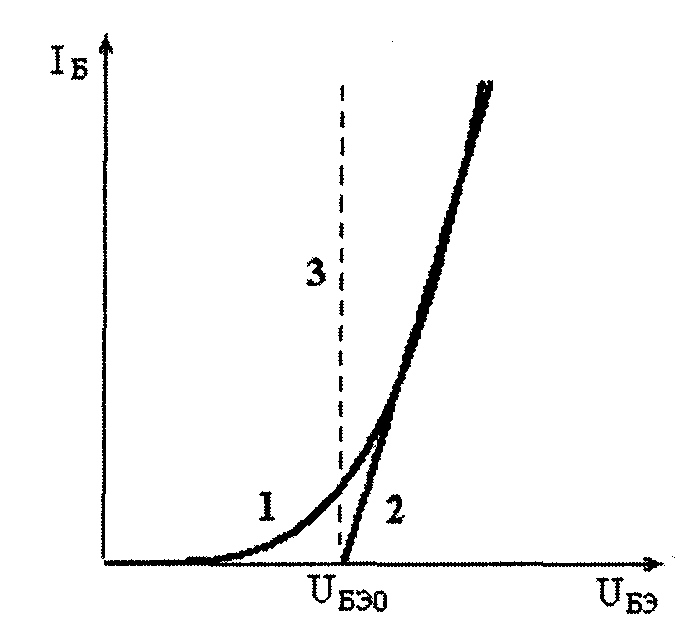


Рис.9

Нарис.9 показана входная ВАХ транзистора (кривая 1). Предлагается аппрокси­мировать её прямой линией (прямая 2). Уравнение для такой аппроксимации имеет вид:

UКЭ = UБЭ0 + rВХ⋅IБ, (53)

где UБЭ0 – пороговое напряжение входной цепи,

rВХ – дифференциальное входное сопротив­ление транзистора для рабочей области его входной характеристики.

В ряде случаев в полученном выражении (53) первое слагаемое значительно превышает второе. Поэтому с достаточной для практики точностью это выражение можно упростить:

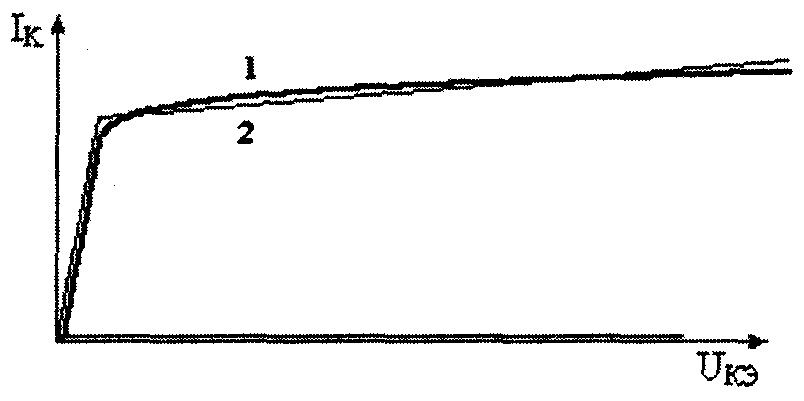


Рис.10

UБЭ = UБЭ0. (54)

На рис.9 такое приближение отражается прямой 3.

На рис.10 показана выходная ВАХ транзистора (кривая 1). Предлагается аппрок­симировать эту ВАХ прямой линией. Уравне­ние для такой аппроксимации имеет вид:

IК = β⋅IБ + IК0 + UКЭ/RВЫХ, (55)

где β – статический коэффициент передачи то­ка в схеме ОЭ, IК0 – тепловой ток коллектора, RВЫХ – дифференциальное выходное сопротивление.

В выражении (55) первое слагаемое показывает, что ток коллектора пропорционален току базы. Второе слагаемое представляет собой обратный ток коллектора, который существует да­же при IБ = 0. Слагаемое UКЭ/RВЫХ характеризует наклон ВАХ.

В большинстве случаев в полученном выражении (55) первое слагаемое значительно пре­вышает второе и третье. Поэтому с достаточной для практики точностью это выражение можно упростить:

IК = β⋅IБ. (56)

Последнее выражение позволяет явно выразить ток эмиттера через ток базы:

IЭ = IК + IБ = (β + 1)⋅IБ. (57)

Выражения (54), (56) являются удобными аппроксимациями нелинейных ВАХ тран­зистора, которые можно использовать для решения конкретных задач.

Рассмотрим схему, изображенную на рис.9. Ранее эта схема была рассчитана графоаналитическим способом.

Используя выражение (53), можно определить ток базы в виде:

IБ = (EБ – UБЭ0)/RБ

С помощью выражения (56) можно найти напряжение на коллекторе транзистора:

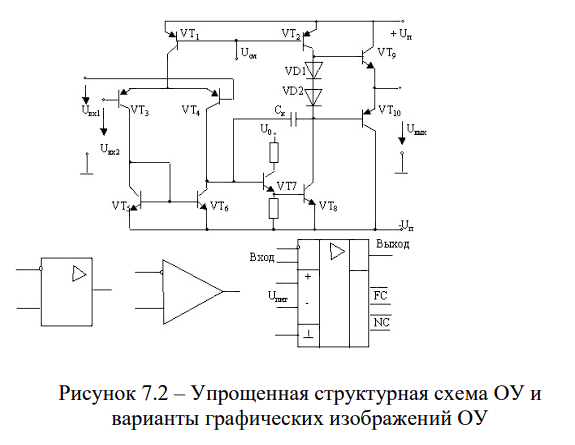
UКЭ = EК – RК⋅IК = EК – RК⋅β⋅IБ =  
= EК – RК⋅β⋅(EБ – UБЭ0)/RБ.

22. Операционный усилитель и его свойства

**Усилителями постоянного тока (УПТ)** называют такие устройства, которые могут усиливать медленно изменяющиеся электрические сигналы, то есть они способны усиливать и переменные и постоянные составляющие входного сигнала. Таким образом, для осуществления передачи сигналов частот, близких к нулю, в УПТ используется непосредственная (гальваническая) связь. Непосредственная связь может быть использована и в обычных усилителях переменного тока с целью уменьшения числа элементов, простоты реализации в интегральном исполнении, стабильности смещения и т.д. Однако такая связь вносит в усилитель ряд специфических особенностей, затрудняющих как его выполнение, так и эксплуатацию. Хорошо передавая медленные изменения сигнала, непосредственная связь затрудняет установку нужного режима покоя для каждого каскада и обусловливает нестабильность их работы.

**Операционный усилитель (ОУ)** – это усилитель постоянного тока, имеющий большой коэффициент усиления в широком диапазоне частот (от 0 до десятков МГц), выполненный по интегральной технологии. ОУ позволяет реализовать усилительные устройства, приближающиеся по свойствам к идеальным усилителям, и поэтому относится к универсальным электронным схемам, на основе которых строят разнообразные функциональные узлы. Операционный усилитель (ОУ) предназначен для выполнения математических операций в аналоговых вычислительных машинах.

Преобразование сигнала схемой на ОУ почти исключительно определяется свойствами цепей обратных связей усилителя и отличается высокой стабильностью и воспроизводимостью. Кроме того, благодаря практически идеальным характеристикам ОУ реализация различных электронных схем на их основе оказывается значительно проще, чем на отдельных транзисторах. Поэтому операционные усилители почти полностью вытеснили отдельные транзисторы в качестве элементов схем ("кирпичиков") во многих областях аналоговой схемотехники. Особенности схемотехники ОУ определяются тем, что в его схеме используются лучшие схемные решения усилительных устройств: на входе ОУ – дифференциальный усилительный каскад, используются динамические нагрузки, схемы источников тока, токовое зеркало, эмиттерные повторители на выходе (рисунок 7.2)



Входной каскад его выполняется в виде дифференциального усилителя, так что операционный усилитель имеет два входа - неинвертирующий и инвертирующий. Два входа ОУ - Инвертирующий и Неинвертирующий названы так по присущим им свойствам. Если подать сигнал на Инвертирующий вход, то на выходе мы получим инвертированный сигнал, то бишь сдвинутый по фазе на 180 градусов - зеркальный; если же подать сигнал на Неинвертирующий вход, то на выходе мы получим фазово не измененный сигнал. Классификация операционных усилителей. Номенклатура операционных усилителей, выпускаемых в настоящее время, очень обширна. В зависимости от назначения ОУ разделяют на следующие группы.

1. ОУ общего назначения, предназначенные для использования в аппаратуре, где к параметрам усилителей не предъявляют жестких требований.

2. Прецизионные ОУ, имеющие малый уровень собственных шумов, а также высокий коэффициент усиления.

3. Быстродействующие ОУ, имеющие высокую скорость изменения выходного напряжения (200–500 В/мкс). Такие ОУ используются для построения импульсных и широкополосных устройств.

4. Микромощные ОУ, потребляющие малые токи от источника питания (менее 1 мА). Такие усилители используют в портативной аппаратуре.

Операционные усилители стали наиболее массовыми активными приборами современной аналоговой схемотехники. Промышленность выпускает сотни типов ОУ с различными характеристиками. В линейных устройствах ОУ используются с глубокой отрицательной обратной связью. При этом параметры реализуемых схем практически полностью определяются цепью обратной связи. Используют ОУ и для реализации нелинейных устройств (компараторов, триггеров Шмитта, генераторов сигналов различной формы). Операционный усилитель почти всегда охвачен глубокой отрицательной обратной связью, свойства которой и определяют свойства схемы с ОУ. ОУ имеет три основных свойства:

1. Очень высокое сопротивление входа,

2. Очень высокий коэффициент усиления (1 000 000 и более),

3. Очень низкое сопротивление выхода.

Еще один очень важный параметр ОУ называется скорость нарастания напряжения на выходе. Обозначает он фактически быстродействие данного ОУ - как быстро он сможет изменить напряжение на выходе при изменение оного на входе. Измеряется этот параметр в вольтах в секунду (В/сек). Этот параметр важен прежде всего для товарищей, конструирующих УЗЧ, поскольку, если ОУ недостаточно быстрый, то он не будет успевать за входным напряжением на высоких частотах и возникнут изрядные нелинейные искажения. У большинства современных ОУ общего назначения скорость нарастания сигнала от 10В/мксек и выше. У быстродействующих ОУ этот параметр может достигать значения 1000В/мксек. ОУ охваченный отрицательной обратной связью поддерживает одинаковые значения напряжения на своих входах.

23. Операционный усилитель расчет

24. Не инвертирующий усилитель и инвертирующий усилитель

Входной каскад его выполняется в виде дифференциального усилителя, так что операционный усилитель имеет два входа - неинвертирующий и инвертирующий. Два входа ОУ - Инвертирующий и Неинвертирующий названы так по присущим им свойствам. Если подать сигнал на Инвертирующий вход, то на выходе мы получим инвертированный сигнал, то бишь сдвинутый по фазе на 180 градусов - зеркальный; если же подать сигнал на Неинвертирующий вход, то на выходе мы получим фазово не измененный сигнал. Классификация операционных усилителей. Номенклатура операционных усилителей, выпускаемых в настоящее время, очень обширна. В зависимости от назначения ОУ разделяют на следующие группы. 1. ОУ общего назначения, предназначенные для использования в аппаратуре, где к параметрам усилителей не предъявляют жестких требований. 2. Прецизионные ОУ, имеющие малый уровень собственных шумов, а также высокий коэффициент усиления. 3. Быстродействующие ОУ, имеющие высокую скорость изменения выходного напряжения (200–500 В/мкс). Такие ОУ используются для построения импульсных и широкополосных устройств. 4. Микромощные ОУ, потребляющие малые токи от источника питания (менее 1 мА). Такие усилители используют в портативной аппаратуре. Операционные усилители стали наиболее массовыми активными приборами современной аналоговой схемотехники. Промышленность выпускает сотни типов ОУ с различными характеристиками. В линейных устройствах ОУ используются с глубокой отрицательной обратной связью. При этом параметры реализуемых схем практически полностью определяются цепью обратной связи. Используют ОУ и для реализации нелинейных устройств (компараторов, триггеров Шмитта, генераторов сигналов различной формы)

25. Мультивибратор

Триггер Шмитта лежит в основе работы генераторов прямоугольных импульсов. Для получения прямоугольных импульсов широко используют устройства, называемые релаксационными генераторами (релаксаторами) (от англ. relax – ослаблять, уменьшать напряжение ) или мультивибраторами. Они могут работать в одном из трех режимов:

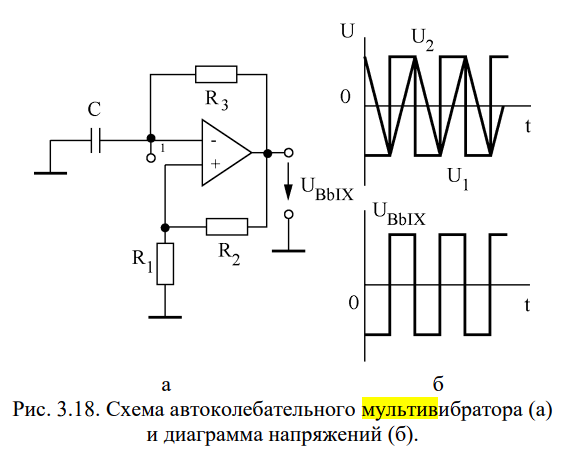
1)автоколебаний;

2) ждущем;

3) синхронизации.

На практике чаще применяют устройства, основанные на использовании первых двух режимов. Автоколебательный мультивибратор предназначен для генерирования прямоугольных импульсов напряжения. Он обладает двумя не устойчивыми состояниями, работает в режиме самовозбуждения и не требует внешнего входного сигнала. В мультивибраторе обычно используют ОУ с положительной обратной связью и время задающей RC цепью, подключенной к инвертирующему входу. Работа автоколебательного мультивибратора рис.3.18, а обеспечивается цепью положительной ОС, приводящей к лавинообразному переходу схема из одного состояния в другое, и цепью отрицательной обратной связи, определяющей период возникающих колебаний. Когда потенциал на входе “-“ мультивибратора достигнет значения -UвыхR1/(R1+R2), устройство переключается и его выходное напряжение скачком изменяет свое значение с –Uвых до +Uвых. При этом потенциал на инвертирующем входе устройства начинает изменяться в противоположную сторону, пока не достигнет значения +UвыхR1/(R1+R2). Автоколебательный мультивибратор переключается в первоначальное состояние (рис.3.18,б). Частота колебаний выходного напряжения мультивибратора определяется соотношением: 

Ждущий мультивибратор (одновибратор) формирует на выходе прямоугольный импульс напряжения определенной длительности при воздействии на вход схемы короткого запускающего импульса. В отличие от автоколебательного мультивибратора ждущий мультивибратор содержит дополнительно цепь, обеспечивающую одно устойчивое состояния равновесия электрического состояния схемы.



Важнейшим показателям операционных усилителей, работающих в импульсном режиме, является их быстродействие, которое оценивается задержкой срабатывания и временем нарастания выходного напряжения. Задержка срабатывания (время задержки выходного импульса) ОУ общего применения составляет единицы микросекунд, а время нарастания выходного напряжения – доли микросекунд. Лучшим быстродействием обладают специализированные ОУ, предназначенные непосредственно для импульсного режима работы и получившие общее название «компараторы». Задержка срабатывания таких микросхем составляет менее 1 мкс, а время нарастания – сотые доли микросекунды. Более высокое быстродействие достигается, в частности, за счет применения высокочастотных интегральных транзисторов и исключения режима их насыщения в схеме ОУ.

26. Компаратор детектор нулевого уровня

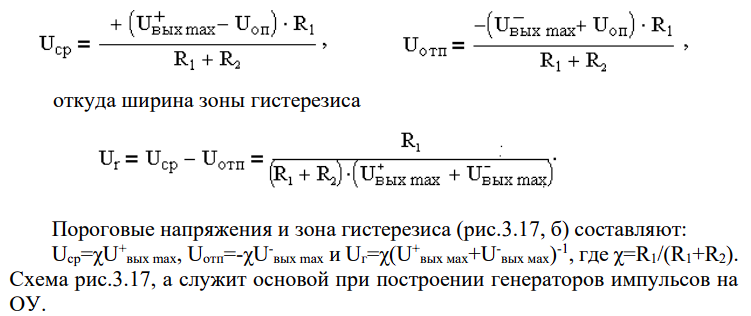
Лучшим быстродействием обладают специализированные ОУ, предназначенные непосредственно для импульсного режима работы и получившие общее название «компараторы». Задержка срабатывания таких микросхем составляет менее 1 мкс, а время нарастания – сотые доли микросекунды. Более высокое быстродействие достигается, в частности, за счет применения высокочастотных интегральных транзисторов и исключения режима их насыщения в схеме ОУ.

27. Компаратор с отрицательным опорным напряжением

28. Компаратор с фиксацией выходного напряжения

29. Триггер Шмитта

Широкое применение получил также компаратор, в котором ОУ охвачен положительной обратной связью. Осуществляемой по неинвертирующему входу с помощью резисторов R1 ,R2 (рис.3.17,а). Такой компаратор обладает передаточной характеристикой с гистерезисом и имеет два устойчивых состояния равновесия напряжений U+ и U- (рис.3.17,б). Схема известна под названием триггер Шмитта или порогового устройства. Переключение схемы в состояние Uвых max происходит при достижении Uвх напряжения (порога) срабатывания Uср, а возвращение в исходное состояние Uвых=U+ вых max- при снижении Uвх до напряжения (порога) отпускания Uотп. Значения пороговых напряжений находят по схеме, положив UОП=0:



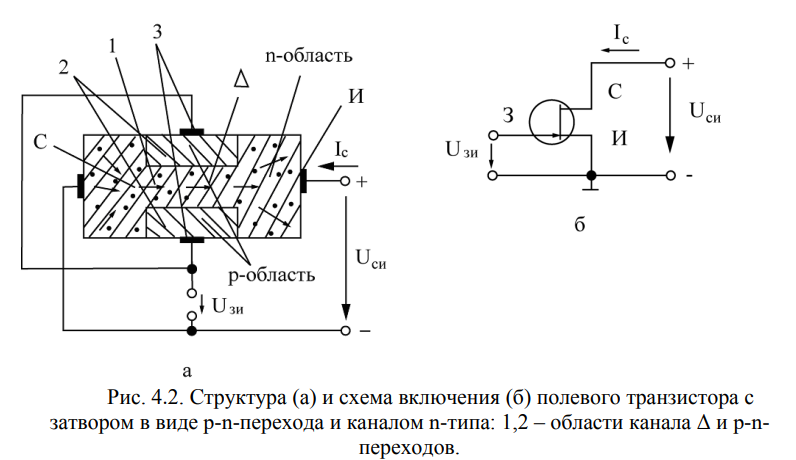
Триггер Шмитта лежит в основе работы генераторов прямоугольных импульсов.

30. Полевой транзистор

Полевым транзистором называют полупроводниковый электропреобразовательный прибор, ток которого управляется электрическим полем и который предназначен для усиления электрической мощности. В полевых, или униполярных транзисторах в отличие от биполярных ток определяется движением только основных носителей заряда одного типа – электронов или дырок. Носители заряда перемещаются по каналу от электрода, называемого истоком (И) к электроду, называемому стоком (С). С помощью третьего электрода – затвора (З) создается поперечное направлению движения носителей заряда управляющее электрическое поле, позволяющее регулировать электрическую проводимость канала, а следовательно, и ток в канале. Полевые транзисторы изготавливают из кремния и в зависимости от электропроводимости исходного материала подразделяют на транзисторы с p-каналом и n-каналом. По типу управления током канала полевые транзисторы подразделяются на два вида: с управляющим p-n-переходом и с изолированным затвором. На рис. 4.1. приведены графические обозначения этих полевых транзисторов.

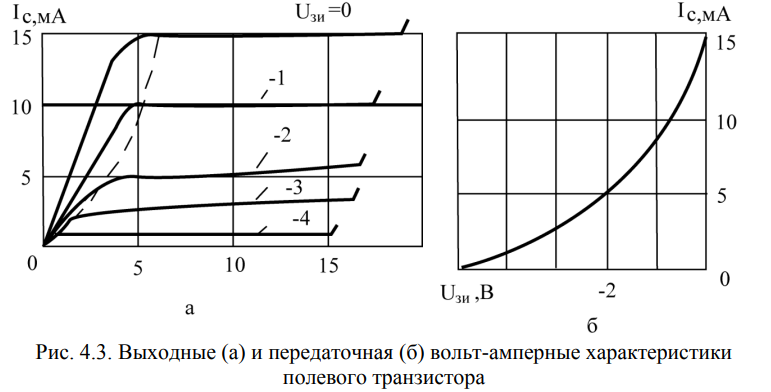


Структура и схема включения полевого транзистора с n-каналом и управляющим p-n-переходом показаны на рис. 4.2

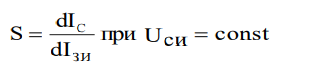


В транзисторе с n-каналом основными носителями заряда в канале являются электроны, которые движутся вдоль канала 1 шириной Δ от истока с низким потенциалом к стоку с более высоким потенциалом, образуя ток стока IС. Между затвором и истоком приложено обратное напряжение, запирающее p-n-переход 2, образованный n-областью канала и p-областью затвора. Таким затвором, в полевом транзисторе с n-каналом полярности приложенных напряжений следующие: UСИ>0, UЗИ≤0. В транзисторе с p-каналом основными носителями заряда являются дырки, которые движутся в направлении снижения потенциала, поэтому полярности приложенных напряжений должны быть иными: 

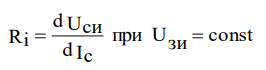
При изменении электрического потенциала на затворе меняется ширина p-n переходов 2, что приводит к изменению ширины Δ канала 1. Последнее меняет количество электронов (дырок), движущихся через сечение канала, и соответственно – ток стока IС. ВАХ полевого транзистора приведены на рис. 4.3. Здесь зависимости тока стока IС от напряжения UСИ при постоянном напряжении на затворе UЗИ определяют выходные, или стоковые, характеристики полевого транзистора (см. рис. 1.17,а). На начальном участке характеристик, UСИ+|UЗИ|<UЗАП ток IС возрастает с увеличением UСИ. При повышении напряжения сток-исток до UСИ=UЗАП-|UЗИ| происходит перекрытие канала и дальнейший рост тока IС прекращается (участок насыщения). Отрицательное напряжение UЗИ между затвором и истоком приводит к меньшим значениям напряжения UСИ и тока IС, при которых происходит перекрытие канала. Область насыщения справа от пунктирной линии является рабочей областью выходных характеристик полевого транзистора. Дальнейшее увеличение напряжения UСИ приводит к пробою p-n-перехода между затвором и каналом и выводит транзистор из строя. По выходным характеристикам может быть построена передаточная характеристика IС=f(UЗИ) (рис.4.3,б). На участке насыщения она практически не зависит от напряжения UСИ. Входная характеристика полевого транзистора – зависимость тока утечки затвора IЗ от напряжения затвор – исток – обычно не используется, так как при UЗИ≤0 p-n-переход между затвором и каналом закрыт и ток затвора очень мал (IЗ=10-8÷10-9 А), поэтому во многих случаях им можно пренебречь.



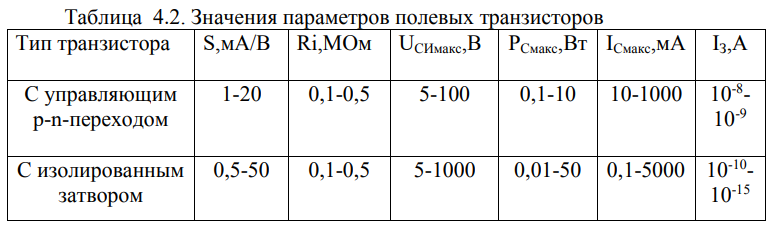
В настоящее время широкое распространение получили полевые транзисторы, в которых металлический затвор изолирован от полупроводника слоем диэлектрика. Такие транзисторы называют МДП-транзисторами (металл – диэлектрик – полупроводник) или МОП-транзисторами (металл – оксид – полупроводник). В последнем случае под оксидом понимают оксид кремния, который является высококачественным диэлектриком. Их входное сопротивление достигает 1015 Ом, т.е. ток затвора на несколько порядков ниже тока полевых транзисторов с управляющим p-n-переходом. ВАХ полевых транзисторов с изолированным затвором в основном аналогичны характеристикам полевых транзисторов с управляющим p-n-переходом. Основными параметрами полевых транзисторов являются крутизна характеристики передачи



и дифференциальное (внутренние) сопротивление стока (канала) на участке насыщения



В качестве предельно допустимых параметров нормируются: максимально допустимые напряжения UСИмакс и UЗИмакс; максимально допустимая мощность стока PСмакс; максимально допустимый ток стока IСмакс. Значения параметров полевых транзисторов приведены в табл. 1.3



Межэлектродные емкости полевых транзисторов между затвором и стоком CЗС, а также затвором и истоки CЗИ, обычно не превышают 1÷20пФ. Основными преимуществами полевых транзисторов являются: 1) высокое входное сопротивление;

2) малый уровень собственных шумов в измерительных схемах;

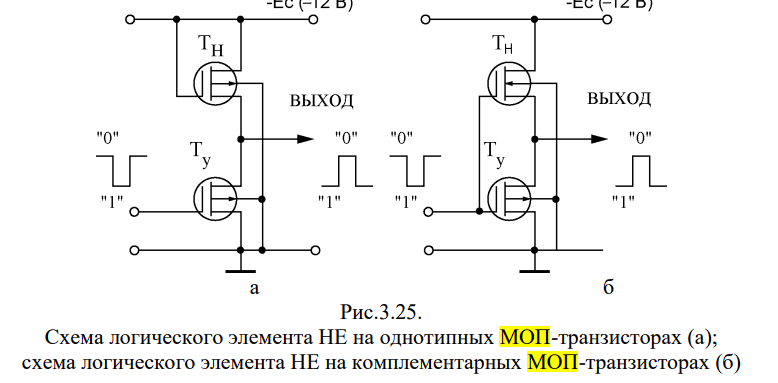
3) высокая плотность распространения элементов при изготовлении интегральных схем

К недостаткам полевых транзисторов следует отнести сравнительно большие межэлектродные емкости.

31. МОП транзистор с изолирующим затвором

По типу принципиальной электрической схемы базового элемента в серии все логические элементы разделяются на элементы ДТЛ – типа (диодно – транзисторная логика), ТТЛ - типа (транзисторно – транзисторная логика), ЭСЛ – типа (эмиттерно – связанная логика), И2Л –типа (интегральная инжекционная логика), МОП и КМОП – типа (логика на полевых транзисторах).

Существенными преимуществами логических элементов на полевых МОП (МДП) - транзисторах перед логическими элементами на биполярных транзисторах являются: малая мощность, потребляемая входной цепью, в результате чего соответственно возрастает коэффициент разветвления по выходу Кр>>10-20; простата технологического процесса изготовления, сравнительно низкая стоимость, малая потребляемая мощность, большая степень интеграции элементов в кристалле микросхемах. Однако по быстродействию даже лучшие логические элементы на МОП транзисторах уступают схемам на биполярных транзисторах. Это обусловлено тем, что у них имеются сравнительно большие входные емкости, на перезарядку которых затрачивается определенное время. Кроме того, выходное сопротивление у открытого МОП-транзистора обычно больше, чем у биполярного, что увеличивает время зарядки конденсаторов нагрузки и ограничивает нагрузочную способность.



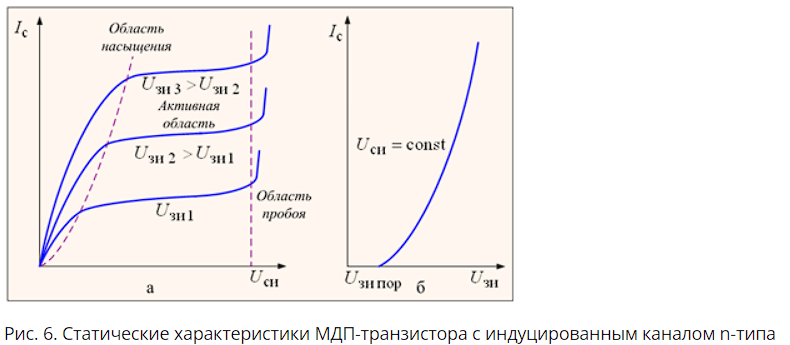
32. МОП транзистор индуцированный

# Транзистор с индуцированным (инверсионным) каналом

Это устройство от предыдущего транзистора отличается тем, что у него нет встроенного канала между областями истока и стока. При отсутствии напряжения на затворе ток между истоком и стоком не потечет ни при какой полярности напряжения, так как один из p-n-переходов будет обязательно заперт.

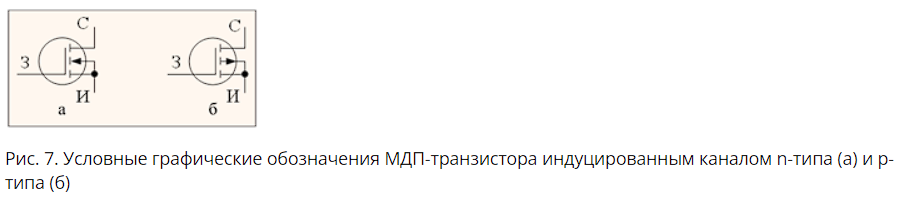
Если подать на затвор напряжение положительной полярности относительно истока, то под действием возникающего поперечного электрического поля электроны из областей истока и стока, а также из областей кристалла, будут перемещаться в приповерхностную область по направлению к затвору. Когда напряжение на затворе превысит некоторое пороговое значение, то в приповерхностном слое концентрация электронов повысится настолько, что превысит концентрацию дырок в этой области и здесь произойдет инверсия типа электропроводности, т.е. образуется тонкий канал n-типа и в цепи стока появится ток. Чем больше положительное напряжение на затворе, тем больше проводимость канала и больше ток стока.

Таким образом, такой транзистор может работать только в режиме обогащения. Вид его выходных характеристик и характеристики управления показан на рис. 6.



Если кристалл полупроводника имеет электроприводность n-типа, то области истока и стока должны быть p-типа. Такого же типа проводимости будет индуцироваться и канал, если на затвор подавать отрицательное напряжение относительно истока.

Графическое изображение полевых транзисторов с изолированным затвором показано на рис. 7.



Выводы:

Полевой транзистор с изолированным затвором это полупроводниковый прибор, в котором управляющий электрод отделен от токопроводящего канала слоем диэлектрика.

В отличие от полевого транзистора с управляющим p n-переходом входное сопротивление полевого транзистора с изолированным затвором остается очень большим при любой полярности поданного на вход напряжения.

Полевые транзисторы со встроенным каналом могут работать как в режиме обеднения, так и в режиме обогащения канала свободными носителями заряда.

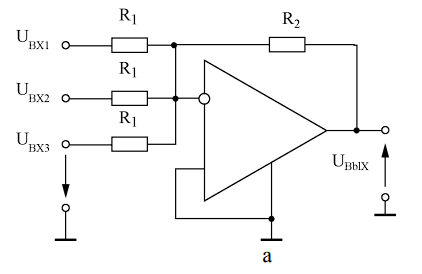
Полевые транзисторы с индуцированным каналом могут работать только в режиме обогащения.

Основными достоинствами полевого транзистора являются его большое сопротивление по постоянному току и высокая технологичность. Последнее обусловливает широкое применение полевых транзисторов при разработке микросхем.

33. МОП транзистор с плавающим затвором

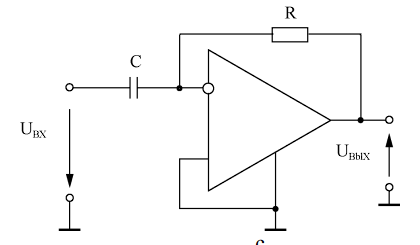
34. МОП транзистор новые технологии

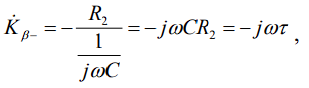
35. Сумматоры



Суммирующий усилитель (сумматор). Если на вход ОУ подается несколько входных напряжений Uвх1, Uвх2, Uвх3, а R1 = R2 (рис.8.7а), то выражение (1) примет вид . Усилитель выполняет роль сумматора, т. к. Uвых = -(Uвх1 + Uвх2 + Uвх3).

36. Дифференцирующий усилитель

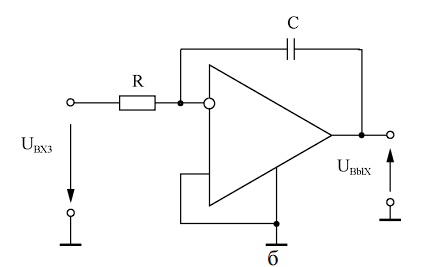


Дифференцирующий усилитель. При  получается дифференцирующий усилитель (см. рис.8.7в), у которого коэффициент усиления: 

что соответствует операции дифференцирования входного сигнала Uвых = −jωτUвх в комплексной форме записи, где τ=CR2 постоянная времени дифференцирования Соответственно во временной форме записи имеем



37. Интегрирующий усилитель

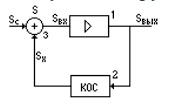


Интегрирующий усилитель. При  получается интегрирующий усилитель (рис.8.7б), у которого коэффициент усиления  что соответствует операции интегрирования  в комплексной форме записи, где τ=CR1 – постоянная интегрирования, задающая масштаб интегрирования по времени. Соответственно в временной форме записи имеем 

38. Отрицательная обратная связь и влияние ее на релейные схемы

39. Отрицательная обратная связь

Операционный усилитель почти всегда охвачен глубокой отрицательной обратной связью, свойства которой и определяют свойства схемы с ОУ. ОУ имеет три основных свойства: 1. Очень высокое сопротивление входа, 2. Очень высокий коэффициент усиления (1 000 000 и более), 3. Очень низкое сопротивление выхода. Еще один очень важный параметр ОУ называется скорость нарастания напряжения на выходе. Обозначает он фактически быстродействие данного ОУ - как быстро он сможет изменить напряжение на выходе при изменение оного на входе. Измеряется этот параметр в вольтах в секунду (В/сек). Этот параметр важен прежде всего для товарищей, конструирующих УЗЧ, поскольку, если ОУ недостаточно быстрый, то он не будет успевать за входным напряжением на высоких частотах и возникнут изрядные нелинейные искажения. У большинства современных ОУ общего назначения скорость нарастания сигнала от 10В/мксек и выше. У быстродействующих ОУ этот параметр может достигать значения 1000В/мксек. ОУ охваченный отрицательной обратной связью поддерживает одинаковые значения напряжения на своих входах. Обратная связь – передача сигнала с выхода устройства на его вход. Усилитель, охваченный обратной связью можно представить в виде следующей структурной схемы:

1 – собственный усилитель

2 – канал обратной связи /КОС/

3 – геометрическое суммирование сигналов источника и обратной связи Если ОС охватывает усилитель в целом, то её называют общей, если – часть, то её называют местной. 1 и 2 образуют петлю обратной связи. Если 1,2 образуют замкнутую петлю по постоянному току, то такая обратная связь называется обратной связью по постоянному току. Если 1,2 образуют замкнутую петлю по переменному току, то такая обратная связь называется обратной связью по переменному току. Если 1,2 образуют замкнутую петлю по постоянному и переменному току, то такая обратная связь называется обратной связью по постоянному и переменному току. Обратная связь называется паразитной, если КОС образован паразитными связями между элементами. Обратная связь называется частотнонезависимой, если КОС образован не зависит от частоты, иначе – частотнозависимым. Обратная связь называется положительной, если сигнал источника и канал ОС /КОС/ суммируются. Обратная связь называется отрицательной, если сигнал источника и канал ОС /КОС/ вычитаются. Под положительной ОС понимают, когда фазовый сдвиг между сигналом источника и КОС близок к нулю. /в переменном токе/

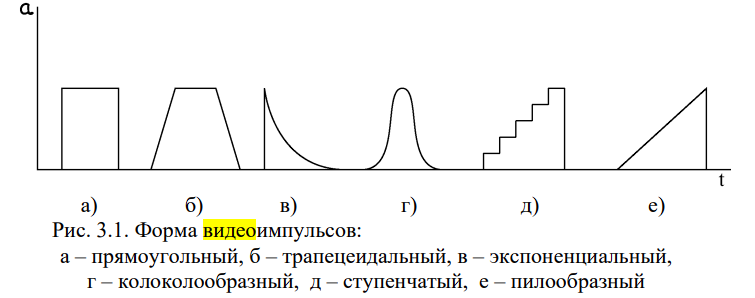
ЧАСТЬ 2

1. Видеоимпульсы. Реальные импульсы.

В современной информационной электронике импульсный принцип построения систем занимает доминирующее положение по сравнению с аналоговым принципом. На базе импульсной технике выполняются системы управления и регулирования, устройства измерения и отображения информации. На ней основана цифровая вычислительная техника. В отличие от аналоговых систем, в которых сигналы изменяются непрерывно во времени (например, напряжение изменяется пропорционально регулируемой температуре), в импульсных системах используются сигналы (напряжение, ток) импульсной формы.

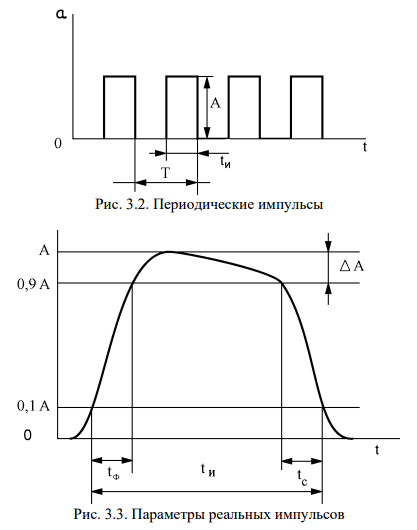
1. В импульсном режиме может быть достигнута значительная мощность во время действия импульсов при малом значении средней (за период их повторения) мощности устройства. Очевидно, это преимущество проявляется сильнее при уменьшении длительности импульсов по отношению к периоду их повторения. В результате габариты и масса электронной аппаратуры, определяемые в основном средней мощностью, при использовании импульсного режима могут быть существенно снижены.

2. Импульсный режим позволяет ослабить влияние температуры и разброса параметров полупроводниковых приборов на работу устройств. Это объясняется уменьшением энергии, выделяемой в элементах импульсного устройства. Разброс параметров не отражается существенно на работе импульсных устройств в связи с тем, что полупроводниковые приборы в них работают, как правило, в ключевом режиме, предполагающем два крайних состояния: “Включено “ – “Выключено”.



3. Импульсный режим позволяет значительно повысить пропускную способность и помехоустойчивость электронной аппаратуры. Пропускная способность – возможная наибольшая скорость передачи информации, а помехоустойчивость – способность аппаратуры правильно функционировать в условиях действия помех. Сигналы импульсных устройств дискретны и представляются комбинацией стандартных импульсов, поэтому скорость передачи таких сигналов выше, чем непрерывных. Выше и помехоустойчивость, так как искажение параметров импульсов (например, амплитуды) помехами не искажает информацию, заключенную в определенном сочетании импульсов.

4. Для реализации импульсных устройств, даже сложных (например, вычислительных машин), требуется большое число сравнительно простых однотипных элементов, легко выполняемых методами интегральной технологии. Это позволяет повысить надежность, уменьшить габариты и массу электронной аппаратуры.



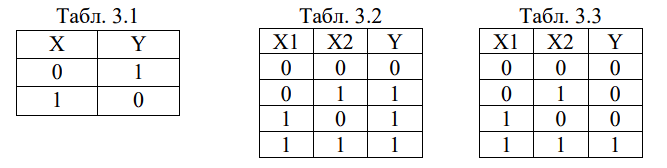
Импульсные устройства широко распространены в вычислительной технике, радиолокации, телевидении, автоматике, промышленной электронике. Переход к дискретному представлению сигналов в виде сочетания импульсов в измерительной технике позволил резко повысить точность измерительных приборов. Импульсный режим работы лежит в основе современных быстродействующих цифровых вычислительных машин. Мощные импульсы передатчиков излучаются антеннами радиолокаторов, а слабые, отраженные отразличных объектов импульсы, принимаются и обрабатываются приемниками, причем импульсный режим позволяет выделять сигналы, амплитуда которых значительно меньше уровня помех. В импульсной технике применяют, как правило, видеоимпульсы, примеры которых приведены на рис.3.1

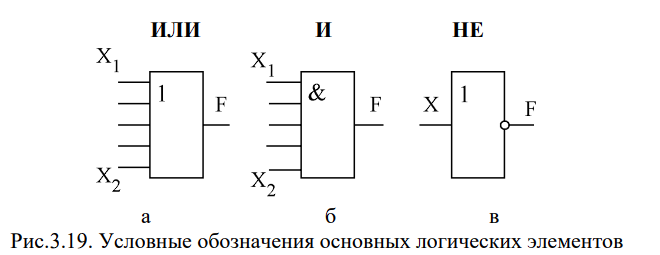


Обычно импульсы следуют периодически с периодом Т, которому соответствует частота повторения F=1/Т (Рис.3.2.). Отношение периода Т к длительности tи импульсов называют скважностью: q = Т/tи. Скважность обычно колеблется в пределах от 2 – 10 (автоматика, вычислительная техника) до 10000 (радиолокация). Приведенные на рис. 2. импульсы идеализированы. Реальные импульсы рис. 3.3. искажены, что выражается обычно в замедлении нарастания и убывания импульса, а также в спаде его плоской вершины. Это связано с наличием переходных процессов в n-р переходах, реализующих импульсный режим работы элементов. Реальные импульсы характеризуют следующими основными параметрами (рис.3.3): амплитудой импульса А; длительностью импульса tи обычно определяемой на уровне 0,1 А; длительностью фронта импульса tф – временем нарастания импульса от 0,1 до 0,9 А; длительностью среза импульса tс– временем убывания импульса от 0,9 до 0,1 А; спадом вершины импульса ∆ А. Для определения полосы пропускания устройств, предназначенных для передачи импульсных сигналов, важно знать спектральный состав этих сигналов. Периодическую последовательность импульсов характеризуют спектром в виде суммы бесконечно большого числа гармоник. Амплитудные спектры – зависимости амплитуд гармоник от частоты – различны для разных форм импульсов, их длительности и периода. На рис.3.4. показан амплитудный спектр периодических прямоугольных импульсов (см. рис.3.2.).Отдельные составляющие спектра отстоят одна от другой по оси частот на величину частоты повторения F=1/Т. Поэтому спектр содержит постоянную составляющую А (0) и амплитуды гармоник с частотами, кратными F. Другие составляющие спектра отсутствуют. Такой спектр называют линейчатым (дискретным). В спектре рис.3.4. отсутствуют также составляющие с частотами, кратными 1/tи. Спектры характеризуют активной шириной, представляющей собой диапазон частот от ƒ=0 до ƒmax=Fa, в котором заключено 95% энергии сигнала. Для прямоугольного импульса Fа=2/tи. Чтобы импульс почти не искажался при передаче через электрическую цепь (например, через усилитель), нужно обеспечить ширину полосы пропускания цепи не менее Fа. Таким образом, для неискаженной передачи прямоугольного импульса требуется полоса 2/tи. Например, для прямоугольного импульса длительностью tи = 1мкс необходима полоса пропускания ∆ ƒ = 2/tи = 2/10-6 = 2 МГц. Заметим, что ширина полосы пропускания, обеспечивающая неискаженную передачу, не зависит от частоты повторения импульсов при постоянной их длительности.

1. Логические элементы. Серии цифровых интегральных схем.

К цифровым интегральным микросхемам относятся устройства, с помощью которых преобразуются и обрабатываются сигналы, выраженные в двоичном или другом цифровом коде. Используемые при этом сигналы близки по форме к прямоугольным импульсами имеют два фиксированных уровня напряжения. Если уровню низкого напряжения приписывается символ “0”, а уровню высокого напряжения - “1”, то говорят о положительной логике. В противном случае логика отрицательная. Основой цифровых микросхем является логический элемент, предназначенный для преобразования входных сигналов в выходные по определенному закону, причем те и другие принимают только значение “0” и “1”. Обозначим входные сигналы “X”, а выходные -“Y”, получим логическую функцию Y=F(X). Логическая функция записывается в виде математических символов или таблиц. Основными логическими функциями являются: Y= – отрицание, инверсия или “НЕ” (табл.3.4.1); логическая сумма, дизъюнкция или функция “ИЛИ” (табл.3.4.2). Y = X1 + X2 = X1 ∨ X2; логическое произведение, конъюнкция или функция “И” (табл.3.3) Y = X1 \* X2 = X1 ^ X2 Используя законы алгебры логики, на основе этих элементарных логических функций можно получить более сложные логические функции. На рис.3.19. приведены обозначения логических элементов, выполняющие соответствующие логические функции НЕ, ИЛИ, И. Логические элементы конструируются на основе ключевых схем, которые могут иметь различные конструкторско–технологическое исполнение. Совокупность цифровых микросхем, имеющих единое конструктивно-технологическое исполнение, выполняющих различные логические функции и предназначенные для совместного исполнения, называется серией интегральных схем.

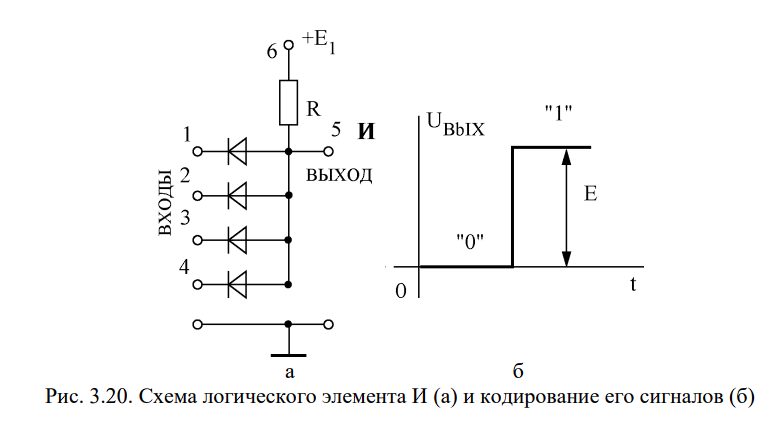




По типу принципиальной электрической схемы базового элемента в серии все логические элементы разделяются на элементы ДТЛ – типа (диодно – транзисторная логика), ТТЛ - типа (транзисторно – транзисторная логика), ЭСЛ – типа (эмиттерно – связанная логика), И2Л –типа (интегральная инжекционная логика), МОП и КМОП – типа (логика на полевых транзисторах). К основным параметрам цифровых микросхем относятся быстродействие и потребляемая мощность. Быстродействие оценивают по времени задержки распространения сигнала tзд, т.е. по интервалу времени от подачи входного импульса до появления выходного; потребляемую мощность Pпот- по среднему значению мощности, потребляемой в состоянии “0” и “1”. Важным параметром также является коэффициент разветвления по выходу Кр, равный числу нагрузок, которые можно одновременно подключить к выходу. Он определяет нагрузочную способность логического элемента.

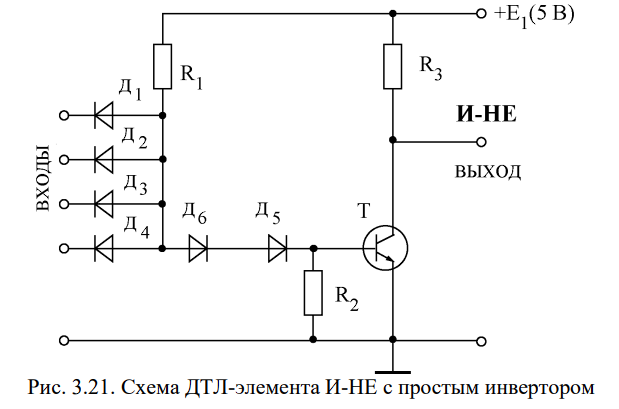
1. Принцип действия логического элемента «И» на примере ДЛТ (диодно-транзисторная логика).

Примером базового элемента ДТЛ – логики является схема рис.3.20, выполняющая функцию логического элемента И. Логика положительная, при сигнале “0” на всех входах все диоды открыты, в них и в резисторе R появляются токи, создаваемые источником E1 и замыкающиеся через источники сигналов, подключенные ко всем входам. Поскольку сопротивление резистора R значительно больше прямого сопротивления диодов, напряжение на нем приблизительно равно E, а напряжение на входе оказывается близким к нулю. Если напряжение на одном из входов соответствует логической “1” (Е >Е1), то соответствующий диод закрывается, однако остальные диоды открыты и на выходе по прежнему остается сигнал “0”. Сигнал “1” появится на выходе только тогда, когда на все входы будет воздействовать сигнал “1”, все диоды окажутся закрытыми, ток через резистор будет равен нулю и Uвых = E1.



1. Принцип действия схемы логического элемента «И-НЕ» на примере ДЛТ (диодно-транзисторная логика).

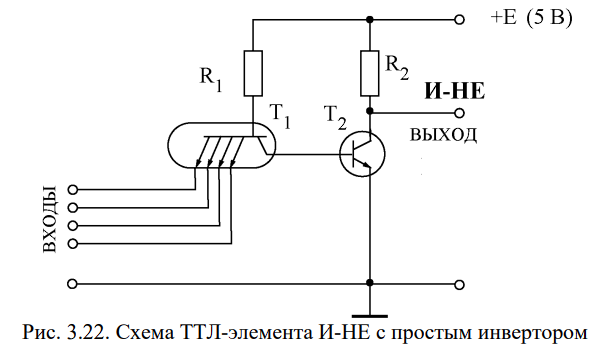
Чтобы получить логический элемент И – НЕ, к элементу по схеме рис.3.20. добавляют инвертор на транзисторе (рис.3.21). Операция И осуществляется диодной частью схемы (Д1 – Д4, R1), а транзисторный каскад с общем эмиттером служит инвертором и преобразует величину напряжения логического уровня, принцип работы которого приведен на рис.3.10



На основе схемы рис.3.21 построена, например, 156, 173 серии микросхем. ДТЛ – логика обладает низким быстродействием и значительной потребляемой мощностью. Потому она большей степени используется в устройствах управления и автоматики.

1. Принцип действия схемы логического элемента «И-НЕ» на примере ТТЛ (транзисторно-транзисторная логика).

Более высоким быстродействием по сравнению с ДТЛ логикой обладает ТТЛ – логика.



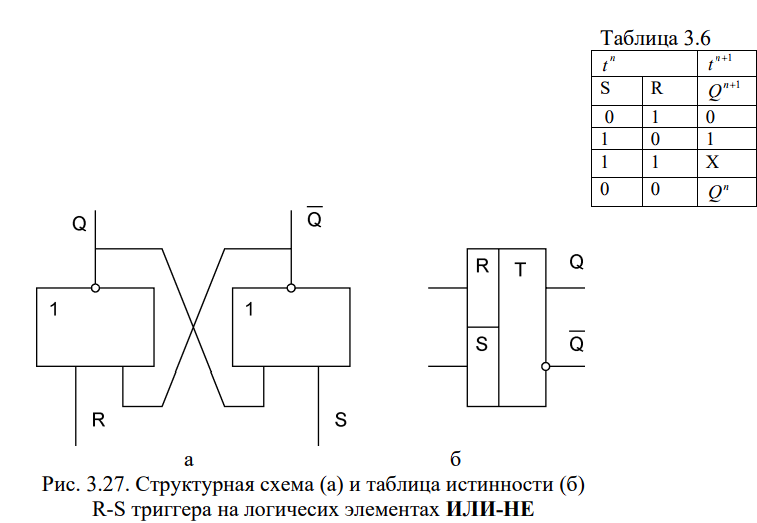
На рис.3.22 приведена схема самого распространенного элемента логики ТТЛ – базового элемента серии К155. Логический элемент этой серии имеет быстродействие tзд = 9 нс и Р =10 мВт. Операция И реализуется здесь многоэмиттерным транзистором Т1, а транзистор Т2 служит в качестве инвертора. Многоэмиттерные транзисторы легко реализуются в интегральной технологии и служат основой ТТЛэлементов. Если на всех входах (эмиттерах транзистора Т1) действует сигнал “1” (высокий потенциал), то все переходы эмиттер–база транзистора Т1 закрыты. Потенциал базы транзистора Т2 близок к нулю, а переход коллектор – база транзистора Т1 отрыт приложенным в прямом направлении напряжением источника +Е. Ток коллекторного перехода транзистора Т1 проходит через переход эмиттер – база транзистора Т2 переводя его в режим насыщения, а на выходе появляется сигнал “0” (низкий потенциал). Если на одном из входов появится сигнал “0”, то соответствующий переход эмиттер – база транзистора Т1 откроется и его базовый ток перебросится из коллекторной цепи в эмиттерную. В результате транзистор Т2 закроется и на выходе появится высокий потенциал (“1”). Таким образом, сигнал “0” может быть на выходе только при сигналах “1” на всех входах, что соответствует операции И – НЕ.

1. Триггеры.

Одно из наиболее распространённых импульсных устройств, относящимся к базовым элементам цифровой техники, — триггер (от англ. trigger — спусковой крючок). Триггером называются электрические схемы, способные сохранять два устойчивого состояния равновесия электрических потенциалов “О” и “1” при окончании действия входных импульсов. Они широко используются для формирования прямоугольных импульсов, счётчиках импульсов, регистрах памяти и т. д. По функциональному признаку различают R-S, D, T, J-K триггеры. По способу управления триггеры подразделяют на асинхронные и тактируемые. В асинхронных триггерах переключение из одного состояния в другое осуществляется непосредственно с поступлением сигнала на раздельные информационные входы. В тактируемых триггерах помимо информационных входов имеется вход тактовых импульсов. Их переключение осуществляется только при наличии разрешающего, тактирующего импульса.

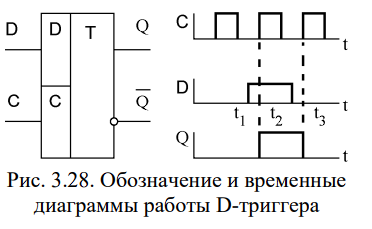
1. Устройство и принцип действия асинхронного R-S-триггера.

Асинхронный R-S – триггер является наиболее простым, однако получившим широкое распространение в импульсной технике. В частности, они служат основой триггеров других типов и требуют для своего построения всего два базовых логических элемента. В современной электронике триггеры выполняются, как правило, в виде микросхем, построенных на основе логических элементов, или на ОУ в виде триггера Шмитта (см. раздел 3.3). На рисунке 3.27а приведена структурная схема асинхронного R-S триггера на логических элементах ИЛИ-НЕ, его таблица истинности (таблица 3.6). Состоянию логической “1” соответствует Q = 1, = 0, состоянию логического “0” – Q = 0, -Q= 1, которые принимает триггер в момент времени n t и в следующий момент времени t^( n+1) , после прихода на входы R и S очередных импульсов. Из таблицы 3.6 следует, что при S=R=0 триггер сохраняет предыдущее состояние Q^n . При S=R=1 триггер принимает неопределённое состояние X, поэтому такая комбинация входных сигналов является запрещённой. R-S триггер является триггером с раздельным по входам R и S запуском. Условное его изображение показано на рисунке 3.27б.



1. Устройство и принцип действия D-триггера.

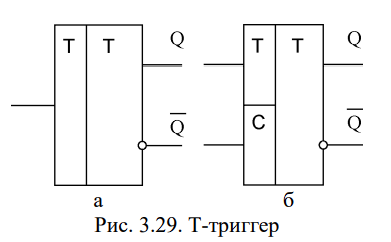
D-триггеры имеют один информационный вход. Состоянию логической “1” соответствует единица на входе, а состоянию логического “0” – нулевой уровень входного сигнала. На практике наиболее часто применяются тактируемые D-триггеры. Условное обозначение



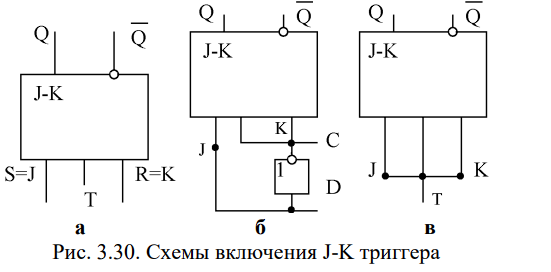
D-триггера и временные диаграммы его работы приведены на рисунке 3.28. Из диаграммы видно, что при наличии информационного сигнала на D входе в моменты 1 2 t − t триггер не перекидывается. При приходе тактового импульса он перекинется (момент 2 t ), и примет исходное состояние при следующем тактовом импульсе в момент 4 t . Таким образом D-триггер характеризуется задерж кой во времени перекидывания триггера при приходе на его информационный D вход сигнала. D-триггеры конструируются на основе R-S триггеров.

1. Устройство и принцип действия T-триггера.

Т-триггер – триггер с счётным Т-входом. Характерным свойством Т-триггера является его переключение в противоположное состояние с приходом каждого очередного входного импульса. В виду его широкого применения в счётчиках импульсов его часто называют триггером со счётным запуском. Обычно он выполняется на базе R-S триггеров. Его условное обозначение приведено на рисунке 3.29а. Т-триггер может выполняться синхронным (рисунок 3.29б). В этом случае он имеет дополнительный вход С, на который подаются синхронизирующие импульсы



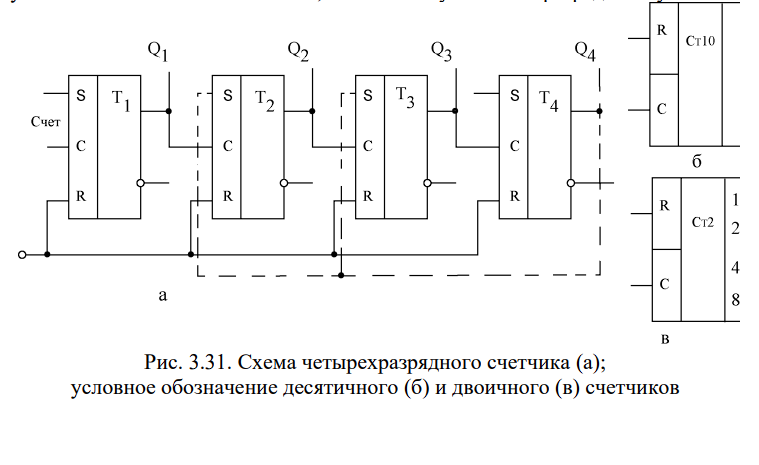
1. Устройство и принцип действия J-K-триггера.

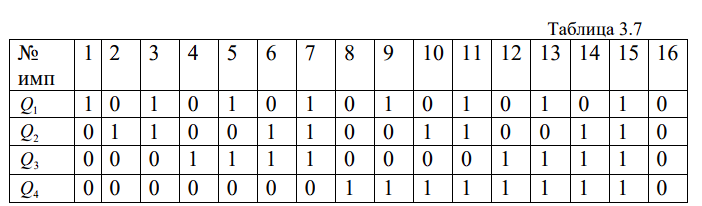


J-K триггер получают на основе Т-триггеров. Они имеют дополнительные входы J и K. Наличие двух дополнительных входов расширяет функциональные возможности триггеров, в связи с чем J-K триггеры называют универсальными. При соответствующем включении J и K входов триггера могут быть получены R-S, D и T-триггеры. При этом R-S, D-T – триггеры получаются тактируемыми. R-S триггер (рисунок 30а) получают подачей на вход J сигнала S, а на вход K сигнала R. D-триггер создают (рисунок 3.30б) введением инвертора между входами J и K. Т-триггер (рисунок 3.30в) реализуют подключением J и K входов к входу Т. В условном обозначении микросхемы триггера после номера серии имеют две буквы, первая из которых для всех триггеров буква Т, а вторая указывает тип триггера (В – JK-триггер, P – RS-триггер, M – D-триггер, Т – счётный триггер). Например, микросхема К555ТВ6 представляет собой два синхронных JK-триггера.

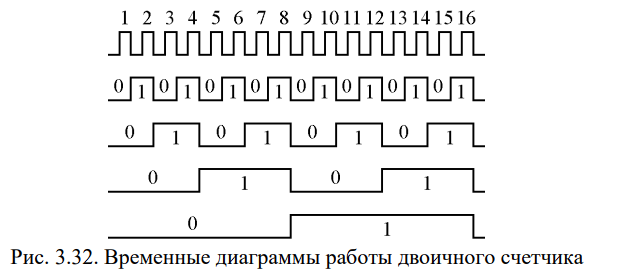
1. Счетчики импульсов.

Подсчёт числа импульсов является наиболее распространённоё операцией в устройствах цифровой обработки информации. Повышенный интерес к таким устройствам объясняется их высокой точностью, возможностью а б Рис. 3.29. Т-триггер применения регистрирующих приборов с непосредственным цифровым представлением результата, а также возможностью осуществления связи с ЭВМ. В устройствах цифровой обработки информации измеряемый параметр (угол поворота, перемещение, скорость, частота, время, температура и т.д.) преобразуются в импульсы напряжения, число которых в соответствующем масштабе характеризует значение данного параметра. Эти импульсы подсчитываются счётчиками импульсов и выражаются в виде цифр. Счётчик – устройство, предназначенное для счёта числа электрических импульсов, поступающих на его вход. Счётчики импульсов выполняются на основе триггеров. Счёт импульсов производится с использованием двоичной системы счисления. Наиболее простым счётчиком является двоичный счётчик. Такой счётчик (рисунок 31) состоит из “n” триггеров (регистров) со счётным запуском. Максимальное число импульсов, которое может сосчитать счётчик при последовательном соединении триггеров составит . Для четырёхразрядного двоичного счётчика (рисунок 31) . Временная диаграмма состояний счётчика приведена на рисунке 32. Перед поступлением счётных импульсов все разряды счётчика устанавливаются в состояние “0” (Q1=Q2=Q3=Q4=0) подачей импульсов на входе R – «установка нуля». После поступления первого счётного импульса первый разряд переходит в состояние Q1 =1. В счетчике записывается число 1 с двоичным кодом 1000. По окончанию действия второго импульса первый разряд счетчика переходит «0», второй – «1». В счётчике записывается число 2 с двоичным входом 0010. Подобным же образом осуществляется работа счётчика при последующих счётных импульсах (смотри рисунок 3.32 и таблицу 3.4.7). При поступлении 15-го импульса все разряды счётчика устанавливаются в состояние “1”, а 16-ым импульсом все разряды обнуляются.





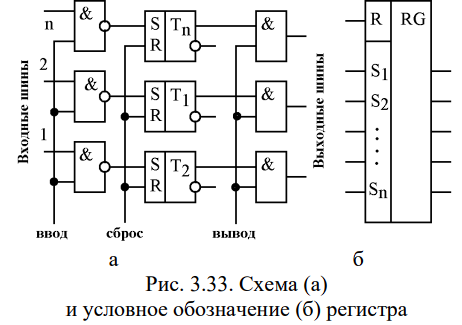
В процессе работы двоичного счётчика частота следования импульсов на выходе каждого последующего триггера уменьшается вдвое по сравнению с частотой его входных импульсов (смотри рисунок 3.32). Это свойство схемы используют для построения делителей частоты.

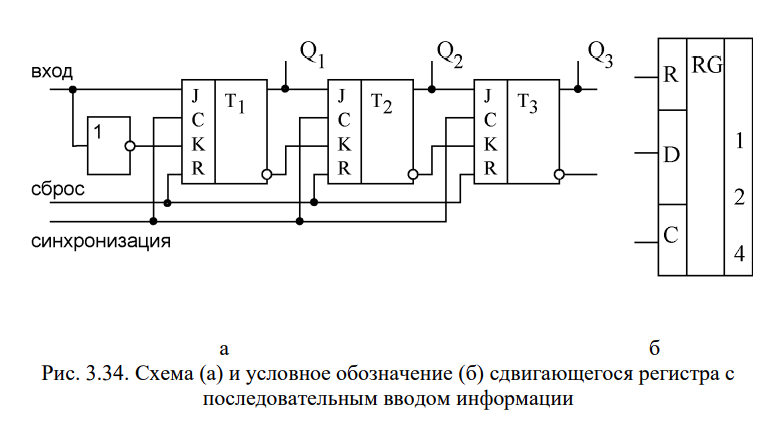


В большинстве электронных устройств необходимо отображать показания счётчика на индикации. Наиболее удобна десятичная индикация. Для этих целей создаются двоично-десятичные счётчики. Их особенностью является счёт до 10 с последующим сбросом. Построение такого счётчика возможно на базе четырехразрядного двоичного счётчика с исключением избыточных состояний. Для этого в схему счётчика вводят дополнительные обратные связи (смотри рисунок 3.31 – пунктир) с выхода триггера Т4 на входы триггеров Т2 и Т3. Состояния разрядов двоично-десятичного счётчика приведены в таблице 3.8

12.Регистры.

Регистром называют устройство, предназначенное для записи и хранения дискретного «слова» – двоичного числа или другой кодовой комбинации. Регистр – один из основных элементов ЭВМ и многих устройств автоматики и информационно – измерительной техники. Основные элементы регистра – двоичные ячейки, в качестве которых применяются триггеры. Число ячеек определяется числом двоичных разрядов «слова» (длиной слова), на которое рассчитан регистр. На рисунке 3.33 приведены схема и условное обозначение n – разрядного регистра на RS – триггерах. Информация в ячейки регистра записывается по команде «ВВОД» (“1” на входе «ВВОД»). Тогда сигналы n входов установят в соответствующие состояния триггеры T1 −Tn . На выходе регистра информация появится по команде «ВЫВОД», в её отсутствие на выходах – нули. При считывании информация в регистре сохраняется. Описанный регистр может запоминать и выдавать информацию только в параллельных кодах, когда каждому разряду соответствует отдельная линия. Более экономичная передача информации в последовательных кодах, когда используется одна линия для последовательной (во времени) передачи комбинации нулей и единиц. Для записи и хранения информации в последовательных кодах применяют сдвигающие (сдвиговые) регистры. На рисунке 3.34 приведены схема и условное обозначение сдвигающего регистра на JK – триггерах (MS – типа). Здесь информация, поступившая на информационный вход, по окончании каждого синхронизирующего импульса передаётся («продвигается») из предыдущего триггера в последующий

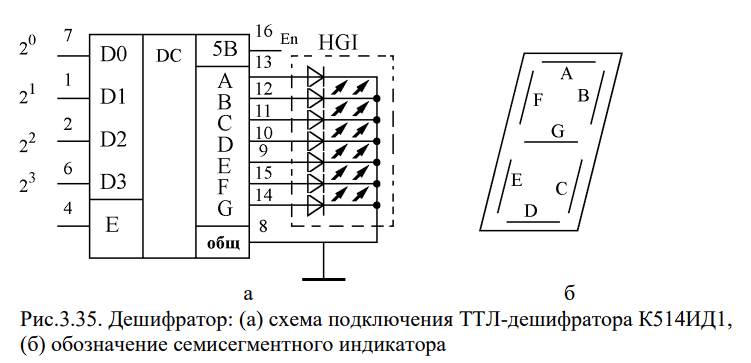




Считывать информацию из сдвигающего регистра можно либо в последовательном коде с выхода Q3 , продвигая информацию через все разряды регистра к выходу, либо в параллельном коде одновременно с выходов Q1 ,Q2 ,Q3 . Также существуют регистры сдвига с параллельным вводом информации.

13.Дешифраторы и мультиплексоры.

Дешифратором (декодером) называют устройство, предназначенное для распознавания различных кодовых комбинаций (слов). Каждому слову на входе дешифратора соответствует “1” на одном из его выходов. Такой дешифратор может применяться, например, для управления работой нескольких исполнительных механизмов. Тогда для включения одного из них на входы дешифратора достаточно подать присвоенный этому механизму цифровой код. В более общем случае каждой определённой комбинации на m входах дешифратора соответствует n – элементный код на его выходах. Такие дешифраторы иногда называют преобразователями кодов. Они широко используются в вычислительной технике, а также в приборах с цифровой индикацией, например, для управления индикаторами на светоизлучающих диодах. Поскольку десятичные цифры (от 0 до 9) представляются 4 – разрядным двоичным кодом, а стилизованные изображения всех десятичных цифр в известных типах светодиодных индикаторов чаще всего составляют из семи светящихся сегментов (рисунок 3.35б), такой дешифратор должен иметь 4 входа, 7 выходов и распознавать только первые десять из 16 возможных входных кодовых комбинаций.



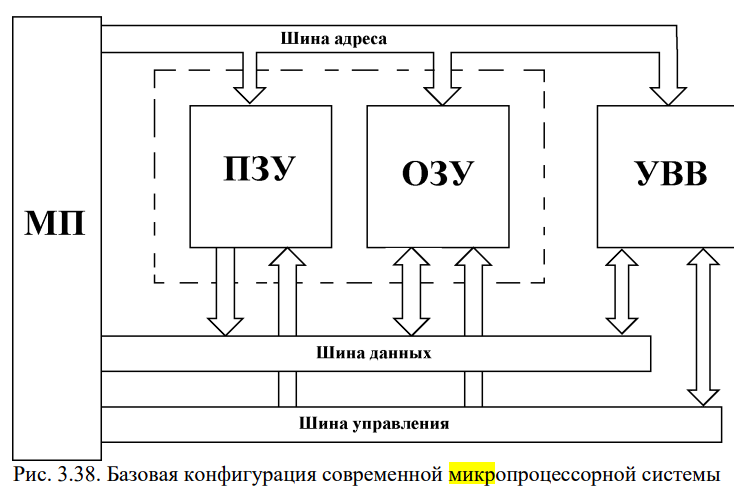
Условное обозначение микросхем дешифраторов на корпусе микросхемы после номера её серии имеет первой букву И (для всех цифровых устройств), а второй – букву Д. На рисунке 3.35а представлена схема подключения ТТЛ – дешифратора К514ИД1 для управления семи сегментным цифровым индикатором на светодиодах с объединёнными катодными выводами. Дешифратор работает обычным образом при высоком уровне сигнала на входе Е. Сигнал низкого уровня на этом входе независимо от информации на входах D0 − D3 переводит все выходы дешифратора в состояние логического нуля, в результате чего все светодиоды гаснут. Таблица 3.9 иллюстрирует порядок функционирования двоичнодесятичного семи сегментного дешифратора.



Дешифраторы выпускаются в виде интегральных микросхем, например трёхразрядный дешифратор К500ИД162М, преобразующий двоичный код в восьмеричный, четырёхразрядные преобразователи двоичного кода в десятичный К176ИД1 и К155ИД1. Дешифратор К155ИД1 позволяет подключать непосредственно к выходам катоды цифровых газоразрядных индикаторов ИН-16(ИН-4, ИН-12, ИН-14) с анодным напряжением 170 – 200 В и током катода не более 7 мА. Существуют также микросхемы, объединяющие счётчик с дешифратором, например микросхемы К176ИЕ3. В тех случаях, когда требуется последовательно опросить логические состояния многих устройств и передать их на один выход, применяется устройство, называемое мультиплексором. Мультиплексоры выпускают в виде микросхем, например К155КП2 (четырёхканальный мультиплексор 4×1 ) или К155КП1 (шестнадцатиканальный мультиплексор 16×1 ).

14.Микропроцессорная система.

На рисунке 3.38 представлена базовая конфигурация современной микропроцессорной системы (МС), ядром которой служит центральный процессор, выполненный на основе БИС МП. Помимо МП в состав любой МС также входит и ряд вспомогательных устройств: устройства ввода/вывода (УВВ) и запоминающее устройство (ЗУ), без поддержки которых даже самый современный МП практически бесполезен. В ЗУ хранятся последовательности двоичных кодов управляющих программ и набора данных необходимые МП для выполнения обработки информации, а УВВ обеспечивают его взаимодействие с внешними устройствами.



В составе микропроцессорной системы всегда можно выделить ***микроЭВМ*** и набор ***устройств ввода/вывода*** информации (поскольку они находятся за пределами микроЭВМ их называют ***внешними устройствами*** (ВУ)). Кроме микропроцессора в микроЭВМ входят также память и устройства, непосредственно взаимодействующие с внешними устройствами. Набор микросхем, пригодных для совместного применения в составе микроЭВМ, называют микропроцессорным комплектом БИС/СБИС (МПК). Микросхемы, входящие в МПК, могут быть выполнены по различным технологиям, но они должны быть совместимы по архитектуре, электрическим параметрам, конструктивным признакам.

15.Микропроцессор.

***Микропроцессор*** (МП) – программно-управляемое устройство, осуществляющее процесс обработки цифровой информации и управление им, построенное на одной или нескольких БИС/СБИС.

Основное отличие МП от всех ранее рассмотренных цифровых устройств заключается в способе обработки информации. В обычных цифровых устройствах – последовательностных или комбинационных – обработка входных сигналов осуществляется аппаратно, и результат определяется схемой соединения различных элементарных узлов – конъюнкторов, дизъюнкторов, триггеров и т.д. В МП процесс обработки информации осуществляется ***программно,*** т.е. путем последовательного выполнения элементарных действий – ***команд программы,*** и результат обработки определяется этой программой. Решаемая задача, таким образом, задается программой, а сами аппаратные средства (микропроцессор и набор дополнительных ИС) остаются неизменными. Это определяет универсальность устройств и систем на основе МП.

МП появились, когда уровень развития микроэлектроники позволил в одной ИС разместить все узлы, необходимые для работы устройств программной реализации алгоритмов. Такие устройства назывались процессорами. Процессоры ЭВМ, выполненные на транзисторах, а затем и на элементах малой и средней степени интеграции, представляли собой целые шкафы, начиненные платами. БИС, выполняющие все функции процессора, пусть и над словами малой разрядности, получили название "микропроцессоры", а электронные системы, главным вычислительно-управляющим узлом которых является МП, стали называться ***микропроцессорными системами.***

16.Шинная структура связей. Три разновидности выходных каскадов цифровых микросхем.

Для достижения максимальной универсальности и упрощения протоколов обмена информацией в *микропроцессорных системах* применяется так называемая шинная структура связей между отдельными устройствами, входящими в систему. Суть шинной структуры связей сводится к следующему.

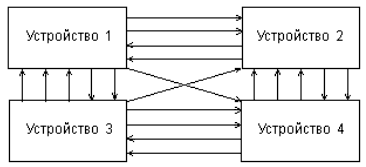


Рис. 1.5. Классическая структура связей.

При классической структуре связей (рис. 1.5) все сигналы и коды между устройствами передаются по отдельным линиям связи. Каждое устройство, входящее в систему, передает свои сигналы и коды независимо от других устройств. При этом в системе получается очень много линий связи и разных протоколов обмена информацией. При шинной структуре связей (рис. 1.6) все сигналы между устройствами передаются по одним и тем же линиям связи, но в разное время (это называется мультиплексированной передачей). Причем передача по всем линиям связи может осуществляться в обоих направлениях (так называемая двунаправленная передача). В результате количество линий связи существенно сокращается, а правила обмена (протоколы) упрощаются. Группа линий связи, по которым передаются сигналы или коды как раз и называется ***шиной*** (англ. bus). Понятно, что при шинной структуре связей легко осуществляется пересылка всех информационных потоков в нужном направлении, например, их можно пропустить через один процессор, что очень важно для *микропроцессорной системы*. Однако при шинной структуре связей вся информация передается по линиям связи последовательно во времени, по очереди, что снижает быстродействие системы по сравнению с классической структурой связей.

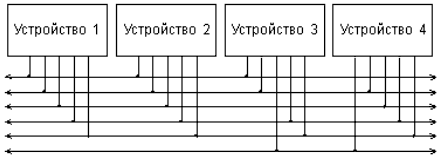


Рис. 1.6. Шинная структура связей.

Большое достоинство шинной структуры связей состоит в том, что все устройства, подключенные к *шине*, должны принимать и передавать информацию по одним и тем же правилам (протоколам обмена информацией по *шине*). Соответственно, все узлы, отвечающие за обмен с шиной в этих устройствах, должны быть единообразны, унифицированы. Существенный недостаток шинной структуры связан с тем, что все устройства подключаются к каждой линии связи параллельно. Поэтому любая неисправность любого устройства может вывести из строя всю систему, если она портит линию связи. По этой же причине отладка системы с шинной структурой связей довольно сложна и обычно требует специального оборудования. В системах с шинной структурой связей применяют все три существующие разновидности выходных каскадов цифровых микросхем:

• стандартный выход или выход с двумя состояниями (обозначается 2С, 2S, реже ТТЛ, TTL);

• выход с открытым коллектором (обозначается ОК, OC);

• выход с тремя состояниями или (что то же самое) с возможностью отключения (обозначается 3С, 3S).

Упрощенно эти три типа выходных каскадов могут быть представлены в виде схем на рис. 1.7.

У выхода 2С два ключа замыкаются по очереди, что соответствует уровням логической единицы (верхний ключ замкнут) и логического нуля (нижний ключ замкнут). У выхода ОК замкнутый ключ формирует уровень логического нуля, разомкнутый — логической единицы. У выхода 3С ключи могут замыкаться по очереди (как в случае 2С), а могут размыкаться одновременно, образуя третье, высокоимпедансное, состояние. Переход в третье состояние (Z-состояние) управляется сигналом на специальном входе EZ.

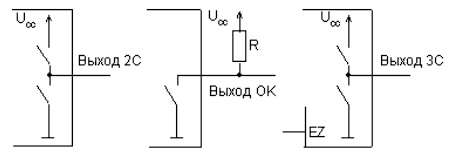


Рис. 1.7. Три типа выходов цифровых микросхем.

Выходные каскады типов 3С и ОК позволяют объединять несколько выходов микросхем для получения мультиплексированных (рис. 1.8) или двунаправленных (рис. 1.9) линий.

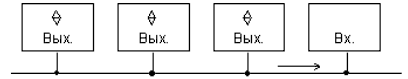


Рис. 1.8. Мультиплексированная линия.

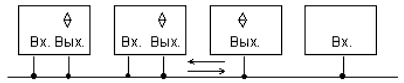


Рис. 1.9. Двунаправленная линия.

При этом в случае выходов 3С необходимо обеспечить, чтобы на линии всегда работал только один активный выход, а все остальные выходы находились бы в это время в третьем состоянии, иначе возможны конфликты. Объединенные выходы ОК могут работать все одновременно, без всяких конфликтов. Типичная структура микропроцессорной системы приведена на рис. 1.10. Она включает в себя три основных типа устройств:

• *процессор*;

• *память*, включающую оперативную ***память*** (ОЗУ, RAM — Random Access Memory) и постоянную память (ПЗУ, ROM —Read Only Memory), которая служит для хранения данных и программ;

• ***устройства ввода/вывода*** (УВВ, I/O — Input/Output Devices), служащие для связи *микропроцессорной системы* с внешними устройствами, для приема (ввода, чтения, Read) входных сигналов и выдачи (вывода, записи, Write) выходных сигналов.

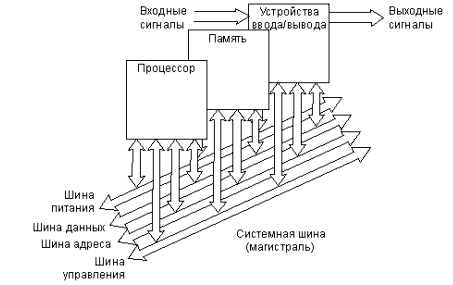


Рис. 1.10. Структура микропроцессорной системы.

17.(29, 30, 31, 32) Шинная структура связей. Четыре основные шины нижнего уровня. Шина данных. Шина адреса. Шина управления. Шины микропроцессорной системы. Шина данных, шина адреса, шина управления.

Особо отметим наличие в МС трёх типов шин (данных, управления, адреса), каждая из которых выполняется в виде набора проводников, связывающих основные элементы МС между собой. По шине данных передаются двоичные сигналы, соответствующие кодам данных и команд управляющих программ. МП определяет устройство – источник данных (откуда их нужно считать) и их получателя или приёмник (куда надо записать данные) и передаёт по шине управления соответствующие сигналы о направлении передачи информации. Наконец, шина адреса служит для указания места расположения данных, по ней МП передаёт двоичный код соответствующей ячейки памяти (откуда взять или куда записать двоичный код, передаваемый по шине данных). Как правило, все неиспользуемые в данный момент вспомогательные устройства в составе МС переводятся в «третье состояние», обеспечивающее их отключение от шин

Все устройства *микропроцессорной системы* объединяются общей системной ***шиной*** (она же называется еще **системной магистралью** или **каналом**). Системная магистраль включает в себя четыре основные *шины нижнего уровня*:

• *шина* адреса (Address Bus);

• *шина* данных (Data Bus);

• *шина* управления (Control Bus);

• *шина* питания (Power Bus).

***Шина* адреса** служит для определения адреса (номера) устройства, с которым процессор обменивается информацией в данный момент. Каждому устройству (кроме процессора), каждой ячейке памяти в *микропроцессорной системе* присваивается собственный адрес. Когда код какого-то адреса выставляется процессором на шине адреса, устройство, которому этот адрес приписан, понимает, что ему предстоит обмен информацией. Шина адреса может быть однонаправленной или двунаправленной.

***Шина* данных** — это основная шина, которая используется для передачи информационных кодов между всеми устройствами микропроцессорной системы. Обычно в пересылке информации участвует процессор, который передает код данных в какое-то устройство или в ячейку памяти или же принимает код данных из какого-то устройства или из ячейки памяти. Но возможна также и передача информации между устройствами без участия процессора. Шина данных всегда двунаправленная.

***Шина* управления** в отличие от шины адреса и шины данных состоит из отдельных управляющих сигналов. Каждый из этих сигналов во время обмена информацией имеет свою функцию. Некоторые сигналы служат для стробирования передаваемых или принимаемых данных (то есть определяют моменты времени, когда информационный код выставлен на шину данных). Другие управляющие сигналы могут использоваться для подтверждения приема данных, для сброса всех устройств в исходное состояние, для тактирования всех устройств и т.д. Линии шины управления могут быть однонаправленными или двунаправленными.

Наконец, ***шина* питания** предназначена не для пересылки информационных сигналов, а для питания системы. Она состоит из линий питания и общего провода. В микропроцессорной системе может быть один источник питания (чаще +5 В) или несколько источников питания (обычно еще –5 В, +12 В и –12 В). Каждому напряжению питания соответствует своя линия связи. Все устройства подключены к этим линиям параллельно. Если в микропроцессорную систему надо ввести входной код (или входной сигнал), то процессор по шине адреса обращается к нужному устройству ввода/вывода и принимает по шине данных входную информацию. Если из микропроцессорной системы надо вывести выходной код (или выходной сигнал), то процессор обращается по шине адреса к нужному устройству ввода/вывода и передает ему по шине данных выходную информацию. Если информация должна пройти сложную многоступенчатую обработку, то процессор может хранить промежуточные результаты в системной оперативной памяти. Для обращения к любой ячейке памяти процессор выставляет ее адрес на шину адреса и передает в нее информационный код по шине данных или же принимает из нее информационный код по шине данных. В памяти (оперативной и постоянной) находятся также и управляющие коды (команды выполняемой процессором программы), которые процессор также читает по шине данных с адресацией по шине адреса. Постоянная память используется в основном для хранения программы начального пуска микропроцессорной системы, которая выполняется каждый раз после включения питания. Информация в нее заносится изготовителем раз и навсегда.

Таким образом, в микропроцессорной системе все информационные коды и коды команд передаются по шинам последовательно, по очереди. Это определяет сравнительно невысокое быстродействие микропроцессорной системы. Оно ограничено обычно даже не быстродействием процессора (которое тоже очень важно) и не скоростью обмена по системной шине (магистрали), а именно последовательным характером передачи информации по системной шине (магистрали). Важно учитывать, что устройства ввода/вывода чаще всего представляют собой устройства на «жесткой логике». На них может быть возложена часть функций, выполняемых микропроцессорной системой. Поэтому у разработчика всегда имеется возможность перераспределять функции системы между аппаратной и программной реализациями оптимальным образом. Аппаратная реализация ускоряет выполнение функции, но имеет недостаточную гибкость. Программная реализация значительно медленнее, но обеспечивает высокую гибкость. Аппаратная реализация функций 4 увеличивает стоимость системы и ее энергопотребление, программная — не увеличивает. Чаще всего применяется комбинирование аппаратных и программных функций. Иногда устройства ввода/вывода имеют в своем составе процессор, то есть представляют собой небольшую специализированную микропроцессорную систему. Это позволяет переложить часть программных функций на устройства ввода/вывода, разгрузив центральный процессор системы.

18.(19, 20, 21,)Режим работы микропроцессорной системы. Три основных режима обмена по магистрали. Режим работы микропроцессорной системы. Прямой обмен информацией. Режим работы микропроцессорной системы. Обмен по прерываниям. Режим работы микропроцессорной системы. Прямой доступ к памяти

Как уже отмечалось, *микропроцессорная система* обеспечивает большую гибкость работы, она способна настраиваться на любую задачу. Гибкость эта обусловлена прежде всего тем, что функции, выполняемые системой, определяются программой (программным обеспечением, software), которую выполняет процессор. Аппаратура (аппаратное обеспечение, hardware) остается неизменной при любой задаче. Записывая в *память* системы программу, можно заставить *микропроцессорную систему* выполнять любую задачу, поддерживаемую данной аппаратурой. К тому же шинная организация связей *микропроцессорной системы* позволяет довольно легко заменять аппаратные модули, например, заменять память на новую большего объема или более высокого быстродействия, добавлять или модернизировать *устройства ввода/вывода*, наконец, заменять процессор на более мощный. Это также позволяет увеличить гибкость системы, продлить ее жизнь при любом изменении требований к ней.

Но гибкость *микропроцессорной системы* определяется не только этим. Настраиваться на задачу помогает еще и выбор режима работы системы, то есть режима обмена информацией по системной магистрали (шине).

Практически любая развитая *микропроцессорная система* (в том числе и компьютер) поддерживает три основных режима обмена по магистрали:

• программный обмен информацией;

• обмен с использованием прерываний (Interrupts);

• обмен с использованием прямого доступа к *памяти* (ПДП, DMA —

Direct Memory Access).

**Программный обмен** информацией является основным в любой *микропроцессорной системе*. Он предусмотрен всегда, без него невозможны другие режимы обмена. В этом режиме процессор является единоличным хозяином (или задатчиком, Master) системной магистрали. Все операции (циклы) обмена информацией в данном случае инициируются только процессором, все они выполняются строго в порядке, предписанном исполняемой программой. Процессор читает (выбирает) из памяти коды команд и исполняет их, читая данные из памяти или из *устройства ввода/вывода*, обрабатывая их, записывая данные в память или передавая их в *устройство ввода/вывода*. Путь процессора по программе может быть линейным, циклическим, может содержать переходы (прыжки), но он всегда непрерывен и полностью находится под контролем процессора. Ни на какие внешние события, не связанные с программой, процессор не реагирует (рис. 1.11). Все сигналы на магистрали в данном случае контролируются процессором.



**Обмен по прерываниям** используется тогда, когда необходима реакция *микропроцессорной системы* на какое-то внешнее событие, на приход внешнего сигнала. В случае компьютера внешним событием может быть, например, нажатие на клавишу клавиатуры или приход по локальной сети пакета данных. Компьютер должен реагировать на это, соответственно, выводом символа на экран или же чтением и обработкой принятого по сети пакета.

В общем случае организовать реакцию на внешнее событие можно тремя различными путями:

• с помощью постоянного программного контроля факта

наступления события (так называемый метод опроса флага или

polling);

• с помощью прерывания, то есть насильственного перевода

процессора с выполнения текущей программы на выполнение

экстренно необходимой программы;

• с помощью прямого доступа к *памяти,* то есть без участия

процессора при его отключении от системной магистрали.

Проиллюстрировать эти три способа можно следующим простым примером. Допустим, вы готовите себе завтрак, поставив на плиту кипятиться молоко. Естественно, на закипание молока надо реагировать, причем срочно. Как это организовать? Первый путь — постоянно следить за молоком, но тогда вы ничего другого не сможете делать. Правильнее будет регулярно поглядывать на молоко, делая одновременно что-то другое. Это программный режим с опросом флага. Второй путь — установить на кастрюлю с молоком датчик, который подаст звуковой сигнал при закипании молока, и спокойно заниматься другими делами. Услышав сигнал, вы выключите молоко. Правда, возможно, вам придется сначала закончить то, что вы начали делать, так что ваша реакция будет медленнее, чем в первом случае. Наконец, третий путь состоит в том, чтобы соединить датчик на кастрюле с управлением плитой так, чтобы при закипании молока горелка была выключена без вашего участия (правда, аналогия с ПДП здесь не очень точная, так как в данном случае на момент выполнения действия вас не отвлекают от работы).

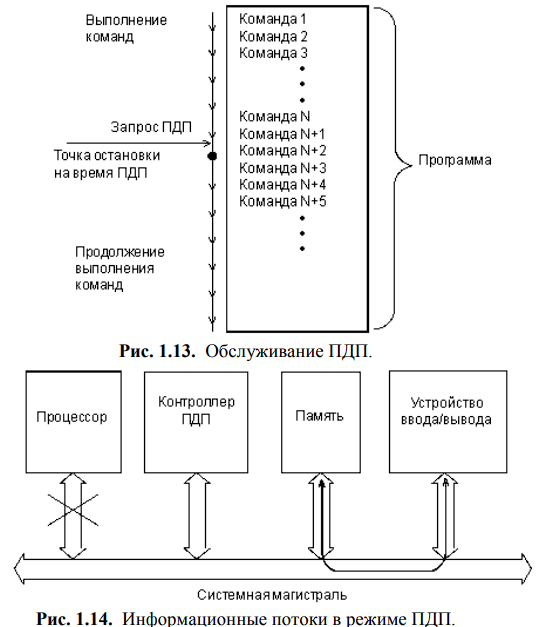
Первый случай с опросом флага реализуется в микропроцессорной системе постоянным чтением информации процессором из устройства ввода/вывода, связанного с тем внешним устройством, на поведение которого необходимо срочно реагировать.

Во втором случае в режиме прерывания процессор, получив запрос прерывания от внешнего устройства (часто называемый IRQ — Interrupt ReQuest), заканчивает выполнение текущей команды и переходит к программе обработки прерывания. Закончив выполнение программы обработки прерывания, он возвращается к прерванной программе с той точки, где его прервали (рис. 1.12).

Здесь важно то, что вся работа, как и в случае программного режима, осуществляется самим процессором, внешнее событие просто временно отвлекает его. Реакция на внешнее событие по прерыванию в общем случае медленнее, чем при программном режиме. Как и в случае программного обмена, здесь все сигналы на магистрали выставляются процессором, то есть он полностью контролирует магистраль. Для обслуживания прерываний в систему иногда вводится специальный модуль контроллера прерываний, но он в обмене информацией не участвует. Его задача состоит в том, чтобы упростить работу процессора с внешними запросами прерываний. Этот контроллер обычно программно управляется процессором по системной магистрали



Естественно, никакого ускорения работы системы прерывание не дает. Его применение позволяет только отказаться от постоянного опроса флага внешнего события и временно, до наступления внешнего события, занять процессор выполнением каких-то других задач. **Прямой доступ к памяти (ПДП, DMA)** — это режим, принципиально отличающийся от двух ранее рассмотренных режимов тем, что обмен по системной *шине* идет без участия процессора. Внешнее устройство, требующее обслуживания, сигнализирует процессору, что режим ПДП необходим, в ответ на это процессор заканчивает выполнение текущей команды и отключается от всех шин, сигнализируя запросившему устройству, что обмен в режиме ПДП можно начинать. Операция ПДП сводится к пересылке информации из *устройства ввода/вывода* в память или же из *памяти в устройство ввода/вывода*. Когда пересылка информации будет закончена, процессор вновь возвращается к прерванной программе, продолжая ее с той точки, где его прервали (рис. 1.13). Это похоже на режим обслуживания прерываний, но в данном случае процессор не участвует в обмене. Как и в случае прерываний, реакция на внешнее событие при ПДП существенно медленнее, чем при программном режиме. Понятно, что в этом случае требуется введение в систему дополнительного устройства (контроллера ПДП), которое будет осуществлять полноценный обмен по системной магистрали без всякого участия процессора. Причем процессор предварительно должен сообщить этому контроллеру ПДП, откуда ему следует брать информацию и/или куда ее следует помещать. Контроллер ПДП может считаться специализированным процессором, который отличается тем, что сам не участвует в обмене, не принимает в себя информацию и не выдает ее



В принципе контроллер ПДП может входить в состав устройства ввода/вывода, которому необходим режим ПДП или даже в состав нескольких устройств ввода/вывода. Теоретически обмен с помощью прямого доступа к памяти может обеспечить более высокую скорость передачи информации, чем программный обмен, так как процессор передает данные медленнее, чем специализированный контроллер ПДП. Однако на практике это преимущество реализуется далеко не всегда. Скорость обмена в режиме ПДП обычно ограничена возможностями магистрали. К тому же необходимость программного задания режимов контроллера ПДП может свести на нет выигрыш от более высокой скорости пересылки данных в режиме ПДП. Поэтому режим ПДП применяется редко. Если в системе уже имеется самостоятельный контроллер ПДП, то это может в ряде случаев существенно упростить аппаратуру устройств ввода/вывода, работающих в режиме ПДП. В этом, пожалуй, состоит единственное бесспорное преимущество режима ПДП.

22.Архитектура микропроцессорной системы.

До сих пор мы рассматривали только один тип архитектуры микропроцессорных систем — архитектуру с общей, единой шиной для данных и команд (одношинную, или принстонскую, фон-неймановскую архитектуру). Соответственно, в составе системы в этом случае присутствует одна общая память, как для данных, так и для команд (рис. 7.18).



Рис. 7.18. Архитектура с общей шиной данных и команд

Но существует также и альтернативный тип архитектуры микропроцессорной системы — это архитектура с раздельными шинами данных и команд (двухшинная, или гарвардская, архитектура). Эта архитектура предполагает наличие в системе отдельной памяти для данных и отдельной памяти для команд (рис. 7.19).

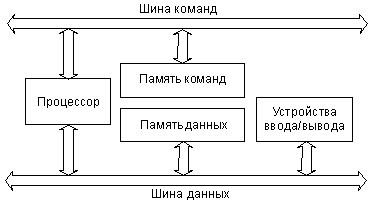


Рис. 7.19. Архитектура с раздельными шинами данных и команд

Обмен процессора с каждым из двух типов памяти происходит по своей шине.

Архитектура с общей шиной распространена гораздо больше, она применяется, например, в персональных компьютерах и в сложных микрокомпьютерах. Архитектура с раздельными шинами применяется в основном в однокристальных микроконтроллерах.

Рассмотрим некоторые достоинства и недостатки обоих архитектурных решений.

Архитектура с общей шиной (принстонская, фон-неймановская) проще, она не требует от процессора одновременного обслуживания двух шин, контроля обмена по двум шинам сразу. Наличие единой памяти данных и команд позволяет гибко распределять ее объем между кодами данных и команд. Например, в некоторых случаях нужна большая и сложная программа, а данных в памяти надо хранить не слишком много. В других случаях, наоборот, программа требуется простая, но необходимы большие объемы хранимых данных. Перераспределение памяти не вызывает никаких проблем, главное — чтобы программа и данные вместе помещались в памяти системы. Как правило, в системах с такой архитектурой память бывает довольно большого объема (до десятков и сотен мегабайт). Это позволяет решать самые сложные задачи.

Архитектура с раздельными шинами данных и команд сложнее, она заставляет процессор работать одновременно с двумя потоками кодов, обслуживать обмен по двум шинам одновременно. Программа может размещаться только в памяти команд, данные — только в памяти данных. Такая узкая специализация ограничивает круг задач, решаемых системой, так как не дает возможности гибкого перераспределения памяти. Память данных и память команд в этом случае имеют не слишком большой объем, поэтому применение систем с данной архитектурой ограничивается обычно не слишком сложными задачами.

В чем же преимущество архитектуры с двумя шинами (гарвардской)? В первую очередь, в быстродействии.

Дело в том, что при единственной шине команд и данных процессор вынужден по одной этой шине принимать данные (из памяти или устройства ввода/вывода) и передавать данные (в память или в устройство ввода/вывода), а также читать команды из памяти. Естественно, одновременно эти пересылки кодов по магистрали происходить не могут, они должны производиться по очереди. Современные процессоры способны совместить во времени выполнение команд и проведение циклов обмена по системной шине. Использование конвейерных технологий и быстрой кэш-памяти позволяет им ускорить процесс взаимодействия со сравнительно медленной системной памятью.

Повышение тактовой частоты и совершенствование структуры процессоров дают возможность сократить время выполнения команд. Но дальнейшее увеличение быстродействия системы возможно только при совмещении пересылки данных и чтения команд, то есть при переходе к архитектуре с двумя шинами.

В случае двухшинной архитектуры обмен по обеим шинам может быть независимым, параллельным во времени. Соответственно, структуры шин (количество разрядов кода адреса и кода данных, порядок и скорость обмена информацией и т.д.) могут быть выбраны оптимально для той задачи, которая решается каждой шиной. Поэтому при прочих равных условиях переход на двухшинную архитектуру ускоряет работу микропроцессорной системы, хотя и требует дополнительных затрат на аппаратуру, усложнения структуры процессора. Память данных в этом случае имеет свое распределение адресов, а память команд — свое.

Проще всего преимущества двухшинной архитектуры реализуются внутри одной микросхемы. В этом случае можно также существенно уменьшить влияние недостатков этой архитектуры. Поэтому основное ее применение — в микроконтроллерах, от которых не требуется решения слишком сложных задач, но зато необходимо максимальное быстродействие при заданной тактовой частоте.

DSP представляют собой специализированные процессоры для приложений, требующих интенсивных вычислений.

Если ближе рассмотреть, к примеру, процесс операции умножения двух чисел с сохранением результата в традиционных микропроцессорах, то можно увидеть как расходуется машинное время: сначала происходит выборка команды (адрес команды выставляется на шину адреса), затем первого операнда (адрес операнда выставляется на шину адреса), затем операнд переносится в аккумулятор, далее происходит выборка второго операнда и т.д. Ускорение этого процесса в процессоре общего назначения невозможна из-за наличия единственной шины адреса и единственной шины данных, а также единственного банка данных. Ввиду этого все операции по извлечению операндов из памяти, выборки команды и сохранения операнда производится последовательно с использованием одной и той же шины данных и шины адреса. Кроме того, если рассмотреть операцию циклического суммирования арифметического ряда, то можно видеть что здесь непроизводительные затраты времени связаны с запоминанием адреса первой команды цикла, с проверкой условия цикла (счетчика) и возвратом к первой команде. Также большие непроизводительные затраты существуют при операциях перехода к подпрограмме и возврата (запись и восстановление значений регистров из стека) и при многих других операциях. Если при этом учесть огромное количество математических операций при выполнении цифровой обработки сигналов, то станет ясно, что неизбежны весьма чувствительные потери в точности вычисления при округлениях, которые не могут не сказаться на общем результате. Это происходит по причине одинаковой разрядности всех регистров процессоров общего назначения.

При цифровой обработке сигналов все эти затраты недопустимы. С целью преодоления этого недостатка процессоров общего назначения и были разработаны процессоры цифровых сигналов (DSP - Digital Signal Processor).

23. (24, 25, 26, 27)Типы микропроцессорных систем. Микроконтроллеры. Контроллеры. Микрокомпьютеры. Компьютеры.

Диапазон применения микропроцессорной техники сейчас очень широк, требования к микропроцессорным системам предъявляются самые разные. Поэтому сформировалось несколько типов микропроцессорных систем, различающихся мощностью, универсальностью, быстродействием и структурой отличиями. Основные типы следующие:

* микроконтроллеры — наиболее простой тип микропроцессорных систем, в которых все или большинство узлов системы выполнены в виде одной микросхемы;
* контроллеры — управляющие микропроцессорные системы, выполненные в виде отдельных модулей;
* микрокомпьютеры — более мощные микропроцессорные системы с развитыми средствами сопряжения с внешними устройствами.
* компьютеры (в том числе персональные) — самые мощные и наиболее универсальные микропроцессорные системы.

Четкую границу между этими типами иногда провести довольно сложно. Быстродействие всех типов микропроцессоров постоянно растет, и нередки ситуации, когда новый микроконтроллер оказывается быстрее, например, устаревшего персонального компьютера. Но кое-какие принципиальные отличия все-таки имеются.

Микроконтроллеры представляют собой универсальные устройства, которые практически всегда используются не сами по себе, а в составе более сложных устройств, в том числе и контроллеров. Системная шина микроконтроллера скрыта от пользователя внутри микросхемы. Возможности подключения внешних устройств к микроконтроллеру ограничены. Устройства на микроконтроллерах обычно предназначены для решения одной задачи.

Контроллеры, как правило, создаются для решения какой-то отдельной задачи или группы близких задач. Они обычно не имеют возможностей подключения дополнительных узлов и устройств, например, большой памяти, средств ввода/вывода. Их системная шина чаще всего недоступна пользователю. Структура контроллера проста и оптимизирована под максимальное быстродействие. В большинстве случаев выполняемые программы хранятся в постоянной памяти и не меняются. Конструктивно контроллеры выпускаются в одноплатном варианте.

Микрокомпьютеры отличаются от контроллеров более открытой структурой, они допускают подключение к системной шине нескольких дополнительных устройств. Производятся микрокомпьютеры в каркасе, корпусе с разъемами системной магистрали, доступными пользователю. Микрокомпьютеры могут иметь средства хранения информации на магнитных носителях (например, магнитные диски) и довольно развитые средства связи с пользователем (видеомонитор, клавиатура). Микрокомпьютеры рассчитаны на широкий круг задач, но в отличие от контроллеров, к каждой новой задаче его надо приспосабливать заново. Выполняемые микрокомпьютером программы можно легко менять.

Наконец, компьютеры и самые распространенные из них — персональные компьютеры — это самые универсальные из микропроцессорных систем. Они обязательно предусматривают возможность модернизации, а также широкие возможности подключения новых устройств. Их системная шина, конечно, доступна пользователю. Кроме того, внешние устройства могут подключаться к компьютеру через несколько встроенных портов связи (количество портов доходит иногда до 10). Компьютер всегда имеет сильно развитые средства связи с пользователем, средства длительного хранения информации большого объема, средства связи с другими компьютерами по информационным сетям. Области применения компьютеров могут быть самыми разными: математические расчеты, обслуживание доступа к базам данных, управление работой сложных электронных систем, компьютерные игры, подготовка документов и т.д.

Любую задачу в принципе можно выполнить с помощью каждого из перечисленных типов микропроцессорных систем. Но при выборе типа надо по возможности избегать избыточности и предусматривать необходимую для данной задачи гибкость системы.

В настоящее время при разработке новых микропроцессорных систем чаще всего выбирают путь использования микроконтроллеров (примерно в 80% случаев). При этом микроконтроллеры применяются или самостоятельно, с минимальной дополнительной аппаратурой, или в составе более сложных контроллеров с развитыми средствами ввода/вывода.

Классические микропроцессорные системы на базе микросхем процессоров и микропроцессорных комплектов выпускаются сейчас довольно редко, в первую очередь, из-за сложности процесса разработки и отладки этих систем. Данный тип микропроцессорных систем выбирают в основном тогда, когда микроконтроллеры не могут обеспечить требуемых характеристик.

+Наконец, заметное место занимают сейчас микропроцессорные системы на основе персонального компьютера. Разработчику в этом случае нужно только оснастить персональный компьютер дополнительными устройствами сопряжения, а ядро микропроцессорной системы уже готово. Персональный компьютер имеет развитые средства программирования, что существенно упрощает задачу разработчика. К тому же он может обеспечить самые сложные алгоритмы обработки информации. Основные недостатки персонального компьютера — большие размеры корпуса и аппаратурная избыточность для простых задач. Недостатком является и неприспособленность большинства персональных компьютеров к работе в сложных условиях (запыленность, высокая влажность, вибрации, высокие температуры и т.д.). Однако выпускаются и специальные персональные компьютеры, приспособленные к различным условиям эксплуатации.

28.Организация обмена информацией. Основные типы цикла обмена. Цикл записи. Цикл чтения.

Самое главное, что должен знать разработчик микропроцессорных систем — это принципы организации обмена информацией по шинам таких систем. Без этого невозможно разработать аппаратную часть системы, а без аппаратной части не будет работать никакое программное обеспечение.

За более чем 30 лет, прошедших с момента появления первых микропроцессоров, были выработаны определенные правила обмена, которым следуют и разработчики новых микропроцессорных систем. Правила эти не слишком сложны, но твердо знать и неукоснительно соблюдать их для успешной работы необходимо. Как показала практика, принципы организации обмена по шинам гораздо важнее, чем особенности конкретных микропроцессоров. Стандартные системные магистрали живут гораздо дольше, чем тот или иной процессор. Разработчики новых процессоров ориентируются на уже существующие стандарты магистрали. Более того, некоторые системы на основе совершенно разных процессоров используют одну и ту же системную магистраль. То есть магистраль оказывается самым главным системообразующим фактором в микропроцессорных системах.

Обмен информацией в микропроцессорных системах происходит в циклах обмена информацией. Под циклом обмена информацией понимается временной интервал, в течение которого происходит выполнение одной элементарной операции обмена по шине. Например, пересылка кода данных из процессора в память или же пересылка кода данных из устройства ввода/вывода в процессор. В пределах одного цикла также может передаваться и несколько кодов данных, даже целый массив данных, но это встречается реже.

Циклы обмена информацией делятся на два основных типа:

* Цикл записи (вывода), в котором процессор записывает (выводит) информацию;
* Цикл чтения (ввода), в котором процессор читает (вводит) информацию.

В некоторых микропроцессорных системах существует также цикл «чтение-модификация-запись» или же «ввод-пауза-вывод». В этих циклах процессор сначала читает информацию из памяти или устройства ввода/вывода, затем как-то преобразует ее и снова записывает по тому же адресу. Например, процессор может прочитать код из ячейки памяти, увеличить его на единицу и снова записать в эту же ячейку памяти. Наличие или отсутствие данного типа цикла связано с особенностями используемого процессора.

Особое место занимают циклы прямого доступа к памяти (если режим ПДП в системе предусмотрен) и циклы запроса и предоставления прерывания (если прерывания в системе есть). Когда в дальнейшем речь пойдет о таких циклах, это будет специально оговорено.

Во время каждого цикла устройства, участвующие в обмене информацией, передают друг другу информационные и управляющие сигналы в строго установленном порядке или, как еще говорят, в соответствии с принятым протоколом обмена информацией.

Длительность цикла обмена может быть постоянной или переменной, но она всегда включает в себя несколько периодов сигнала тактовой частоты системы. То есть даже в идеальном случае частота чтения информации процессором и частота записи информации оказываются в несколько раз меньше тактовой частоты системы.

Чтение кодов команд из памяти системы также производится с помощью циклов чтения. Поэтому в случае одношинной архитектуры на системной магистрали чередуются циклы чтения команд и циклы пересылки (чтения и записи) данных, но протоколы обмена остаются неизменными независимо от того, что передается — данные или команды. В случае двухшинной архитектуры циклы чтения команд и записи или чтения данных разделяются по разным шинам и могут выполняться одновременно.

33.Циклы программного обмена.

Рассмотрим для примера два довольно типичных случая программного обмена по магистрали микропроцессорной системы.

Первый пример — это обмен по мультиплексированной асинхронной магистрали Q-bus, предложенной фирмой DEC и широко применявшейся в микрокомпьютерах и промышленных контроллерах. Упрощенные временные диаграммы циклов чтения (ввода) и записи (вывода) по этой магистрали приведены на рис. 8.3 и 8.4.

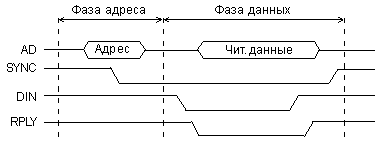


Рис. 8.3. Цикл чтения на магистрали Q-bus

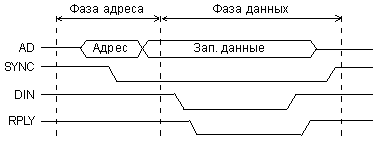


Рис. 8.4. Цикл записи на магистрали Q-bus

Отметим, что в дальнейшем тексте знак «минус» перед названием сигнала говорит о том, что активный уровень сигнала низкий, пассивный — высокий, то есть сигнал отрицательный. Если минуса перед названием сигнала нет, то сигнал положительный, его низкий уровень пассивный, а высокий — активный.

На шине адреса/данных (AD) в начале цикла обмена (в фазе адреса) процессор (задатчик) выставляет код адреса. На этой шине используется отрицательная логика. Средний уровень сигналов на шине AD обозначает, что состояния сигналов на шине в данные временные интервалы не важны. Для стробирования адреса используется отрицательный синхросигнал - SYNC, выставляемый также процессором. Его передний (отрицательный) фронт соответствует действительности кода адреса на шине AD. Фаза адреса одинакова в обоих циклах записи и чтения.

Получив (распознав) свой код адреса, устройство ввода/вывода или память (исполнитель) готовится к проведению обмена. Через некоторое время после начала (отрицательного фронта) сигнала - SYNC процессор снимает адрес и начинает фазу данных.

В фазе данных цикла чтения (рис. 8.3) процессор выставляет сигнал строба чтения данных -DIN, в ответ на который устройство, к которому обращается процессор (исполнитель), должно выставить свой код данных (читаемые данные). Одновременно это устройство должно подтвердить выполнение операции сигналом подтверждения обмена - RPLY.

Для сигнала - RPLY используется тип выходного каскада ОК, чтобы не было конфликтов между устройствами-исполнителями. Процессор, получив сигнал -RPLY, заканчивает цикл обмена. Для этого он снимает сигнал - DIN и сигнал -SYNC. Устройство-исполнитель в ответ на снятие сигнала - DIN должно снять код данных с шины AD и закончить сигнал подтверждения - RPLY. После этого процессор снимает сигнал - SYNC.

В фазе данных цикла записи (рис. 8.4) процессор выставляет на шину AD код записываемых данных и сопровождает его отрицательным сигналом строба записи данных - DOUT. Устройство-исполнитель должно по этому сигналу принять данные от процессора и сформировать сигнал подтверждения обмена - RPLY. Процессор, получив сигнал - RPLY, заканчивает цикл обмена. Для этого он снимает код данных с шины AD и сигнал - DOUT. Устройство-исполнитель в ответ на снятие сигнала - DIN должно закончить сигнал подтверждения - RPLY. После этого процессор снимает сигнал - SYNC.

То есть на данной магистрали адрес передается синхронно (без подтверждения его получения исполнителем), а данные передаются асинхронно, с обязательным подтверждением их выдачи или приема исполнителем. Отсутствие сигнала подтверждения - RPLY в течение заданного времени воспринимается процессором как аварийная ситуация. В принципе возможна и асинхронная передача адреса, что увеличивает надежность обмена, хотя может снижать его скорость.

Помимо циклов чтения и записи на магистрали Q-bus используются также и циклы типа «ввод-пауза-вывод» («чтение-модификация-запись»). Упрощенная временная диаграмма этого цикла представлена на рис. 8.5.

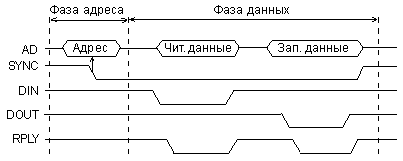


Рис. 8.5. Цикл «ввод-пауза-вывод» на магистрали Q-bus

В этом цикле адресная фаза производится точно так же, как и в циклах чтения (ввода) и записи (вывода). Но в фазе данных процессор производит сначала чтение из заданного в адресной фазе адреса, а потом запись в тот же самый адрес. Для чтения используется строб чтения -DIN, а для записи – строб записи -DOUT. В ответ на сигнал -DIN устройство-исполнитель выдает свои данные на шину AD, а по сигналу -DOUT – принимает данные с шины AD. Как и в циклах чтения и записи, устройство-исполнитель подтверждает выполнение каждой операции сигналом подтверждения -RPLY. Понятно, что цикл «ввод-пауза-вывод» требует больше времени, чем каждый из циклов чтения или записи, но меньше времени, чем два последовательно произведенных цикла чтения и записи (так как для него нужна только одна адресная фаза). Сигнал -SYNC вырабатывается процессором в начале цикла «ввод-пауза-вывод» и держится до окончания всего цикла.

В качестве второго примера рассмотрим циклы обмена на синхронной немультиплексированной магистрали ISA (Industrial Standard Architecture), предложенной фирмой IBM и широко используемой в персональных компьютерах. Упрощенные циклы записи в устройство ввода/вывода и чтения из устройства ввода/вывода приведены на рис. 8.6 и 8.7.

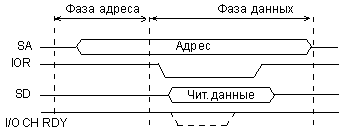


Рис. 8.6. Цикл чтения из УВВ на магистрали ISA.



Рис. 8.7. Цикл записи в УВВ на магистрали ISA

Оба цикла начинаются с выставления процессором (задатчиком) кода адреса на шину адреса SA (логика на этой шине положительная). Адрес остается на шине SA до конца цикла. Фаза адреса, одинаковая для обоих циклов, заканчивается с началом строба обмена данными -IOR или -IOW. В течение фазы адреса устройство-исполнитель должно принять код адреса и распознать или не распознать его. Если адрес распознан, исполнитель готовится к обмену.

В фазе данных цикла чтения (рис. 8.6) процессор выставляет отрицательный сигнал чтения данных из устройства ввода/вывода -IOR. В ответ на него устройство-исполнитель должно выдать на шину данных SD свой код данных (читаемые данные). Логика на шине данных положительная. Через установленное время строб обмена -IOR снимается процессором, после чего снимается также и код адреса с шины SA. Цикл заканчивается без учета быстродействия исполнителя.

Но так происходит только в случае основного, синхронного обмена. Кроме него на магистрали ISA также предусмотрена возможность асинхронного обмена. Для этого применяется сигнал готовности канала (магистрали) I/O CH RDY. Тип выходного каскада для данного сигнала — ОК, для предотвращения конфликтов между устройствами-исполнителями. При синхронном обмене сигнал I/O CH RDY всегда положительный. Но медленное устройство-исполнитель, не успевающее работать в темпе процессора, может этот сигнал снять, то есть сделать нулевым сразу после начала строба обмена. Тогда процессор до того момента, пока сигнал I/O CH RDY не станет снова положительным, приостанавливает завершение цикла, продлевает строб обмена. Конечно, слишком большая длительность этого сигнала рассматривается как аварийная ситуация. Для простоты понимания можно считать, что устройство-исполнитель формирует в данном случае отрицательный сигнал неготовности завершить обмен. На время этого сигнала обмен на магистрали приостанавливается.

Принципиальное отличие асинхронного обмена по магистрали ISA от асинхронного обмена по магистрали Q-bus состоит в следующем. Если в случае Q-bus сигнал подтверждения обязателен, и его должен формировать каждый исполнитель, то в случае ISA сигнал о неготовности исполнитель может не формировать, если он успевает работать в темпе процессора. Зато в случае Q-bus к концу цикла обмена процессор всегда уверен, что устройство-исполнитель выполнило требуемую операцию, а в случае ISA такой уверенности нет.

В фазе данных цикла записи по магистрали ISA (рис. 8.7) процессор выставляет на шину данных SD код записываемых данных и сопровождает их стробом записи данных в устройство ввода/вывода -IOW. Получив этот сигнал, устройство-исполнитель должно принять с шины SD код записываемых данных. Если оно не успевает сделать это в темпе процессора, то оно может снять на нужное время сигнал I/O CH RDY после получения переднего фронта сигнала -IOW. Тогда процессор приостановит окончание цикла записи.

Рассмотренные примеры, конечно, не раскрывают всех тонкостей обмена по упомянутым магистралям. Они всего лишь иллюстрируют главные принципы обмена по ним.

34. (35, 36) Циклы обмена по прерываниям при векторном и радиальном прерывании. Цикл обмена по прерываниям. Векторное прерывание. Цикл обмена по прерыванием. Радиальное прерывание.

Циклы обмена в режиме прерываний строятся по тем же принципам, что и циклы программного обмена, но имеют ряд специфических особенностей.

Прерывания в микропроцессорных системах бывают двух основных типов:

* векторные прерывания, которые требуют проведения цикла чтения по магистрали;
* радиальные прерывания, которые не требуют никакого цикла обмена по магистрали.

Дело в том, что прерываний в микропроцессорной системе обычно бывает много. Поэтому процессору необходима информация о номере (или, как еще говорят, об адресе вектора) конкретного прерывания. Эта информация может быть передана процессору двумя путями.

При векторном прерывании код номера прерывания передается процессору тем устройством ввода/вывода, которое данное прерывание запросило. Для этого процессор проводит цикл чтения по магистрали, и по шине данных получает код номера прерывания. Шина адреса в данном цикле обычно не используется, так как устройство, запросившее прерывание, и так знает, что процессор будет обращаться именно к нему. В этом случае в магистрали достаточно всего одной линии запроса прерывания для всех устройств ввода/вывода. Так организованы прерывания, например, в магистрали Q-bus.

Схема распространения сигналов, участвующих в прерываниях на магистрали Q-bus, показана на рис. 8.8. Упрощенная временная диаграмма цикла запроса и предоставления магистрали представлена на рис. 8.9.

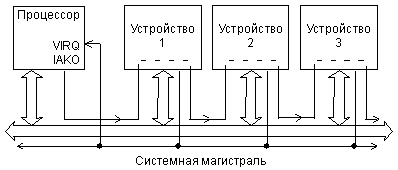


Рис. 8.8. Сигналы запроса и предоставления прерывания в магистрали Q-bus

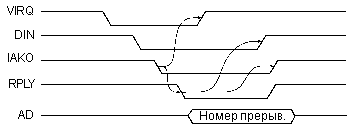


Рис. 8.9. Цикл запроса/предоставления векторного прерывания на магистрали Q-bus

Запрос прерывания осуществляется отрицательным сигналом -VIRQ, который может формироваться каждым из устройств, запрашивающих прерывание. Тип выходного каскада для этого сигнала — ОК, чтобы избежать конфликтов между запрашивающими прерывания устройствами. Получив сигнал -VIRQ, процессор предоставляет прерывание (закончив предварительно выполнение текущей команды). Для этого он выставляет сигнал чтения данных -DIN и сигнал предоставления прерывания IAKO. Этот сигнал IAKO последовательно проходит через все устройства, которые могут запрашивать прерывания. Если устройство запросило прерывание, то оно не пропускает через себя этот сигнал. В результате получается, что если прерывания одновременно запросили два или более устройств, то сигнал предоставления прерывания получит только одно устройство, а именно то, которое ближе к процессору. Такой механизм разрешения конфликтов называется иногда географическим приоритетом (или цепочечным приоритетом, Daisy Chain). Получив сигнал IAKO, устройство, запросившее прерывание, должно снять свой сигнал -VIRQ.

Затем процессор проводит цикл безадресного чтения номера прерывания. В ответ на полученные сигналы -DIN и IAKO устройство, которому предоставлено прерывание, должно выдать на шину адреса/данных AD код номера прерывания (адреса вектора прерывания) и выставить сигнал подтверждения -RPLY. Процессор читает код номера прерывания и заканчивает цикл безадресного чтения снятием сигналов -DIN и IAKO.

При радиальном прерывании в магистрали имеется столько линий запроса прерывания, сколько всего может быть разных прерываний. То есть каждое устройство ввода/вывода, желающее использовать прерывание, подает сигнал запроса прерывания по своей отдельной линии. Процессор узнает о номере прерывания по номеру линии, по которой пришел сигнал запроса прерывания. Никаких циклов обмена по магистрали при этом не требуется. В случае радиальных прерываний в систему обычно включается дополнительная микросхема контроллера прерываний, обрабатывающая сигналы запросов прерываний. Именно так организованы прерывания, например, в магистрали ISA.

Упрощенная структура связей между устройствами, участвующими в обмене по прерываниям, на магистрали ISA показана на рис. 8.10. Процессор общается с

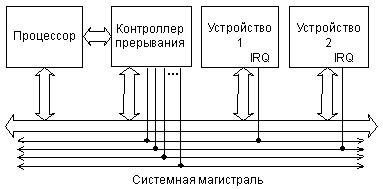


Рис. 8.10. Структура связей для организации радиальных прерываний на магистрали ISA

контроллером прерываний как по магистрали (чтобы задать ему режимы работы), так и вне магистрали (при обработке запросов на прерывание). Сигналы запросов прерываний IRQ распределяются между всеми устройствами магистрали. На каждую линию IRQ приходится одно устройство. Тип выходного каскада для этих линий — 2С, так как конфликты здесь не предусмотрены. Запросом прерывания является передний, положительный фронт сигнала IRQ. При одновременном поступлении сигналов IRQ от нескольких устройств порядок их обслуживания определяется контроллером прерываний.

Какой тип прерываний лучше — векторный или радиальный?

Векторные прерывания обеспечивают системе большую гибкость, в системе их может быть очень много. Но зато они требуют дополнительных аппаратурных узлов во всех устройствах, запрашивающих прерывания, для обслуживания циклов безадресного чтения.

+Радиальных прерываний в системе обычно не очень много (от 1 до 16). При этом типе прерываний, как правило, требуется введение в систему специального контроллера прерываний. Каждое радиальное прерывание требует введения дополнительной линии в шину управления системной магистрали. Но работать с радиальными прерываниями проще, так как все сводится только к выработке единственного сигнала IRQ, и никаких циклов обмена по магистрали не требуется.

37.Циклы обмена в режиме ПДП.

Циклы обмена в режиме прямого доступа к памяти выполняются по тем же правилам, что и циклы программного обмена, и циклы предоставления прерываний.

Прежде чем начать обмен в режиме ПДП, устройство, которому необходим ПДП, должно запросить ПДП и получить его. Процедура запроса и предоставления ПДП очень похожа на процедуру запроса и предоставления прерывания. В обоих случаях устройство, требующее обслуживания, посылает сигнал запроса процессору. Однако в случае ПДП процессор обязательно должен предоставить ПДП запросившему устройству с помощью специальных сигналов, так как на время ПДП процессор отключается от магистрали. А при радиальных прерываниях предоставления прерывания от процессора не требуется.

На магистрали Q-bus запрос и предоставление ПДП организуются подобно запросу и предоставлению прерывания. Упрощенная структура связей устройств, участвующих в ПДП, показана на рис. 8.11. Временная диаграмма запроса/предоставления ПДП очень близка к временной диаграмме запроса/предоставления прерывания (см. рис. 8.9).

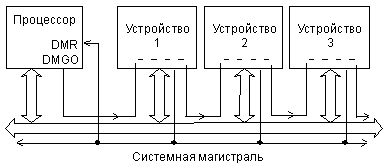


Рис. 8.11. Структура связей запроса/предоставления ПДП на магистрали Q-bus

Сигнал запроса ПДП, называемый -DMR, передается всеми устройствами, нуждающимися в ПДП, по одной линии магистрали. Тип выходного каскада на этой линии — ОК. Процессор, получив сигнал -DMR, выдает сигнал предоставления ПДП DMGO, аналогичный сигналу IAKO. Этот сигнал также проходит через все устройства последовательно, в результате чего ПДП получает только то устройство, которое находится ближе к процессору (географический приоритет). А затем устройство, получившее ПДП, проводит циклы обмена по магистрали, аналогично циклам программного обмена. В циклах ПДП информация читается из памяти и записывается в устройство ввода/вывода, или наоборот — читается из устройства ввода/вывода и передается в память.На магистрали ISA запрос/предоставление ПДП очень напоминает организацию радиальных прерываний (рис. 8.12). Точно так же в системе существует контроллер ПДП, к которому сходятся сигналы запроса ПДП, называемые DRQ, и от которого расходятся сигналы предоставления ПДП, называемые -DACK. К каждому каналу ПДП (пара сигналов DRQ и -DACK) подключается только одно устройство, запрашивающее ПДП. Тип выходных каскадов для этих сигналов —2С. Устройство, нуждающееся в ПДП, посылает сигнал запроса DRQ и получает в ответ сигнал предоставления -DACK. После этого контроллер ПДП проводит циклы обмена по магистрали между устройством ввода/вывода и памятью.

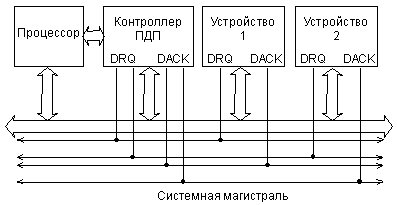


Рис. 8.12. Структура связей запроса/предоставления ПДП на магистрали ISA

Упрощенная временная диаграмма циклов ПДП на магистрали ISA показана на рис. 8.13.

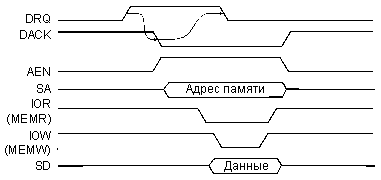


Рис. 8.13. Цикл ПДП на магистрали ISA

На магистрали ISA используются раздельные стробы записи в память (-MEMW) и записи в устройства ввода/вывода (-IOW), а также раздельные стробы чтения из памяти (-MEMR) и чтения из устройств ввода/вывода (-IOR). Это позволяет за один цикл обмена ПДП читать информацию из памяти и записывать ее в устройство ввода/вывода или же читать информацию из устройства ввода/вывода и записывать ее в память. При этом на шине адреса выставляется адрес памяти, а адрес устройства ввода/вывода заменяется одним- единственным сигналом AEN. Естественно, в цикле обмена в режиме ПДП участвует

+только то устройство ввода/вывода, которое предварительно запросило ПДП и которому ПДП было предоставлено. Поэтому никаких конфликтов между устройствами ввода/вывода из-за такой упрощенной адресации не возникает.

38.Прохождение сигналов магистрали. Два типа согласователей (терминаторов)

При организации обмена по магистралям и шинам разработчику необходимо учитывать несколько важных моментов, связанных как с особенностью распространения сигналов по шинам, так и с самой природой шин. В противном случае микропроцессорная система может попросту не работать или работать неустойчиво, хотя вся логика цифровых устройств, входящих в систему, будет спроектирована безошибочно.

В случае, когда системная шина (магистраль) микропроцессорной системы является внешней, а не скрыта внутри микросхемы, необходимо учитывать особенности распространения сигналов по длинным линиям. Хотя в большинстве случаев длина магистрали не слишком велика, не превышает 1—2 десятков сантиметров, это все равно оказывает большое влияние на синхронизацию обмена.

На прохождение сигналов по магистрали влияют следующие факторы:

* конечная величина задержки распространения сигналов по линиям магистрали;
* различие задержек распространения сигналов по разным линиям шины;
* неодновременное выставление сигналов на линии шины;
* искажение фронтов сигналов, проходящих по линиям магистрали;
* отражение сигналов от концов линий связи (рис. 8.14).

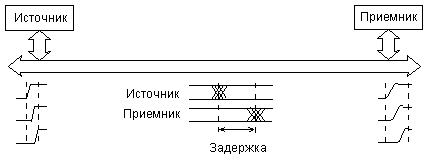


Рис. 8.14. Прохождение сигналов по шине

Для учета всех этих факторов разработчики стандартных магистралей обмена и стандартных протоколов обмена всегда закладывают необходимые задержки между сигналами, участвующими в обмене. Кроме того, задержки между сигналами выбираются таким образом, чтобы устройство, которому адресован тот или иной сигнал, имело достаточно времени для его обработки. Если разрабатывается новая магистраль, все это тоже надо учитывать.

Поэтому пытаться «модернизировать» какой-то стандартный протокол и ускорять обмен по магистрали путем уменьшения задержек, предусмотренных стандартом, очень опасно. Точно так же опасно, не изменяя протокола обмена, пытаться увеличить длину магистрали, увеличивая тем самым задержки распространения сигналов по линиям и шинам. Особенно чувствительны к такого рода «модернизациям» синхронные магистрали, в которых не предусмотрено обязательное подтверждение выполнения каждой операции.

Например, длительность фазы адреса в цикле обмена выбирается таким образом. В течение адресной фазы все сигналы всех разрядов кода адреса, пусть даже и сформированные процессором не одновременно, должны дойти до устройства-исполнителя по своим проводам шины. А устройство-исполнитель должно этот код адреса принять и обработать (то есть отличить свой адрес от чужого). Естественно, для гарантии в длительность адресной фазы еще добавляется небольшая дополнительная задержка.

Точно так же длительность фазы данных в цикле чтения должна выбираться такой, чтобы устройство-исполнитель успело получить строб чтения и выдать код читаемых данных на шину данных. Затем этот код должен успеть дойти до процессора и процессор должен успеть его прочитать. После чего процессор снимает сигнал строба чтения, этот задний фронт сигнала доходит с задержкой до устройства-исполнителя, которое также с задержкой снимает свой код данных. Аналогично и в цикле записи.

Для улучшения формы сигналов, распространяющихся по магистрали, иногда применяют оконечные согласователи (терминаторы) на концах линий магистрали. Особенно важно их применение в случае, когда допустимая длина магистрали превышает несколько метров. Например, в случае магистрали Q-bus применяются два типа согласователей: 120-омный и 250-омный (рис. 8.15).

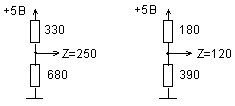


Рис. 8.15. Оконечные согласователи на магистрали Q-bus

Включение согласователей предъявляет дополнительные требования к нагрузочной способности передатчиков, работающих на линии магистрали. В магистрали ISA подобные согласователи не используются, хотя к некоторым линиям присоединены резисторы, соединенные другим своим выводом с шиной питания (прежде всего это линии, тип выходного каскада для которых — ОК).

+В любом случае выходные каскады передатчиков, работающих на линии магистрали, должны обеспечивать высокие выходные токи, так как к магистрали может подключаться несколько устройств, каждое из которых потребляет входной ток. Типичные величины требуемых выходных токов магистральных передатчиков находятся в пределах 20—30 мА. В то же время входные токи магистральных приемников должны быть малыми, чтобы не перегружать передатчики. Типичные величины допустимых входных токов магистральных приемников лежат в пределах 0,2—0,8 мА.

39. (40, 41, 42, 43, 44)Функции устройств магистрали. Функции процессора. Функции процессора. Схема управления выборкой команд. Функции процессора. Арифметико-логическое устройство. Функции процессора. Схема управления прерываниями. Функции процессора. Схема управления прямым доступом к памяти. Функции процессора. Логика управления

Функции устройств магистрали. Рассмотрим теперь, как взаимодействуют на магистрали основные устройства микропроцессорной системы: процессор, память (оперативная и постоянная), устройства ввода/вывода.

Процессор (рис. 8.16) обычно представляет собой отдельную микросхему или же часть микросхемы (в случае микроконтроллера). В прежние годы процессор иногда выполнялся на комплектах из нескольких микросхем, но сейчас от такого

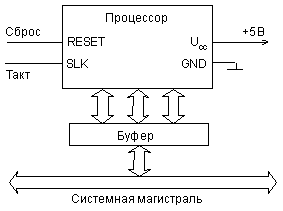


Рис. 8.16. Схема включения процессора

подхода уже практически отказались. Микросхема процессора обязательно имеет выводы трех шин: шины адреса, шины данных и шины управления. Иногда некоторые сигналы и шины мультиплексируются, чтобы уменьшить количество выводов микросхемы процессора.

Важнейшие характеристики процессора — это количество разрядов его шины данных, количество разрядов его шины адреса и количество управляющих сигналов в шине управления. Разрядность шины данных определяет скорость работы системы. Разрядность шины адреса определяет допустимую сложность системы. Количество линий управления определяет разнообразие режимов обмена и эффективность обмена процессора с другими устройствами системы. Кроме выводов для сигналов трех основных шин процессор всегда имеет вывод (или два вывода) для подключения внешнего тактового сигнала или кварцевого резонатора (CLK), так как процессор всегда представляет собой тактируемое устройство. Чем больше тактовая частота процессора, тем он быстрее работает, то есть тем быстрее выполняет команды. Впрочем, быстродействие процессора определяется не только тактовой частотой, но и особенностями его структуры. Современные процессоры выполняют большинство команд за один такт и имеют средства для параллельного выполнения нескольких команд. Тактовая частота процессора не связана прямо и жестко со скоростью обмена по магистрали, так как скорость обмена по магистрали ограничена задержками распространения сигналов и искажениями сигналов на магистрали. То есть тактовая частота процессора определяет только его внутреннее быстродействие, а не внешнее. Иногда тактовая частота процессора имеет нижний и верхний пределы. При превышении верхнего предела частоты возможно перегревание процессора, а также сбои, причем, что самое неприятное, возникающие не всегда и нерегулярно. Так что с изменением этой частоты надо быть очень осторожным.

Еще один важный сигнал, который имеется в каждом процессоре, — это сигнал начального сброса RESET. При включении питания, при аварийной ситуации или зависании процессора подача этого сигнала приводит к инициализации процессора, заставляет его приступить к выполнению программы начального запуска. Аварийная ситуация может быть вызвана помехами по цепям питания и «земли», сбоями в работе памяти, внешними ионизирующими излучениями и еще множеством причин. В результате процессор может потерять контроль над выполняемой программой и остановиться в каком-то адресе. Для выхода из этого состояния как раз и используется сигнал начального сброса. Этот же вход начального сброса может использоваться для оповещения процессора о том, что напряжение питания стало ниже установленного предела. В таком случае процессор переходит к выполнению программы сохранения важных данных. По сути, этот вход представляет собой особую разновидность радиального прерывания.

Иногда у микросхемы процессора имеется еще один - два входа радиальных прерываний для обработки особых ситуаций (например, для прерывания от внешнего таймера).

Шина питания современного процессора обычно имеет одно напряжение питания (+5В или +3,3В) и общий провод («землю»). Первые процессоры нередко требовали нескольких напряжений питания. В некоторых процессорах предусмотрен режим пониженного энергопотребления. Вообще, современные микросхемы процессоров, особенно с высокими тактовыми частотами, потребляют довольно большую мощность. В результате для поддержания нормальной рабочей температуры корпуса на них нередко приходится устанавливать радиаторы, вентиляторы или даже специальные микрохолодильники.

Для подключения процессора к магистрали используются буферные микросхемы, обеспечивающие, если необходимо, демультиплексирование сигналов и электрическое буферирование сигналов магистрали. Иногда протоколы обмена по системной магистрали и по шинам процессора не совпадают между собой, тогда буферные микросхемы еще и согласуют эти протоколы друг с другом. Иногда в микропроцессорной системе используется несколько магистралей (системных и локальных), тогда для каждой из магистралей применяется свой буферный узел. Такая структура характерна, например, для персональных компьютеров.

После включения питания процессор переходит в первый адрес программы начального пуска и выполняет эту программу. Данная программа предварительно записана в постоянную (энергонезависимую) память. После завершения программы начального пуска процессор начинает выполнять основную программу, находящуюся в постоянной или оперативной памяти, для чего выбирает по очереди все команды. От этой программы процессор могут отвлекать внешние прерывания или запросы на ПДП. Команды из памяти процессор выбирает с помощью циклов чтения по магистрали. При необходимости процессор записывает данные в память или в устройства ввода/вывода с помощью циклов записи или же читает данные из памяти или из устройств ввода/вывода с помощью циклов чтения.

Таким образом, основные функции любого процессора следующие:

* выборка (чтение) выполняемых команд;
* ввод (чтение) данных из памяти или устройства ввода/вывода;
* вывод (запись) данных в память или в устройства ввода/вывода;
* обработка данных (операндов), в том числе арифметические операции над ними;
* адресация памяти, то есть задание адреса памяти, с которым будет производиться обмен;
* обработка прерываний и режима прямого доступа.

Упрощенно структуру микропроцессора можно представить в следующем виде (рис. 8.17).

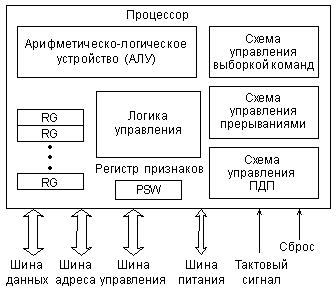


Рис. 8.17. Внутренняя структура микропроцессора

Т.о. основные функции показанных узлов (рис. 8.17) следующие: схема управления выборкой команд выполняет чтение команд из памяти и их дешифрацию. В первых микропроцессорах было невозможно одновременное выполнение предыдущей команды и выборка следующей команды, так как процессор не мог совмещать эти операции. Но уже в 16-разрядных процессорах появляется так называемый конвейер (очередь) команд, позволяющий выбирать несколько следующих команд, пока выполняется предыдущая. Два процесса идут параллельно, что ускоряет работу процессора. Конвейер представляет собой небольшую внутреннюю память процессора, в которую при малейшей возможности (при освобождении внешней шины) записывается несколько команд, следующих за исполняемой. Читаются эти команды процессором в том же порядке, что и записываются в конвейер (это память типа FIFO, First In — First Out, первый вошел — первый вышел). Правда, если выполняемая команда предполагает переход не на следующую ячейку памяти, а на удаленную (с меньшим или большим адресом), конвейер не помогает, и его приходится сбрасывать. Но такие команды встречаются в программах сравнительно редко.

Развитием идеи конвейера стало использование внутренней кэш-памяти процессора, которая заполняется командами, пока процессор занят выполнением предыдущих команд. Чем больше объем кэш-памяти, тем меньше вероятность того, что ее содержимое придется сбросить при команде перехода. Понятно, что обрабатывать команды, находящиеся во внутренней памяти, процессор может гораздо быстрее, чем те, которые расположены во внешней памяти. В кэш-памяти могут храниться и данные, которые обрабатываются в данный момент, это также ускоряет работу. Для большего ускорения выборки команд в современных процессорах применяют совмещение выборки и дешифрации, одновременную дешифрацию нескольких команд, несколько параллельных конвейеров команд, предсказание команд переходов и некоторые другие методы.

Арифметико-логическое устройство (или АЛУ, ALU) предназначено для обработки информации в соответствии с полученной процессором командой. Примерами обработки могут служить логические операции (типа логического «И», «ИЛИ», «Исключающего ИЛИ» и т.д.) то есть побитные операции над операндами, а также арифметические операции (типа сложения, вычитания, умножения, деления и т.д.). Над какими кодами производится операция, куда помещается ее результат — определяется выполняемой командой. Если команда сводится всего лишь к пересылке данных без их обработки, то АЛУ не участвует в ее выполнении.

Быстродействие АЛУ во многом определяет производительность процессора. Причем важна не только частота тактового сигнала, которым тактируется АЛУ, но и количество тактов, необходимое для выполнения той или иной команды. Для повышения производительности разработчики стремятся довести время выполнения команды до одного такта, а также обеспечить работу АЛУ на возможно более высокой частоте. Один из путей решения этой задачи состоит в уменьшении количества выполняемых АЛУ команд, создание процессоров с уменьшенным набором команд (так называемые RISC-процессоры). Другой путь повышения производительности процессора — использование нескольких параллельно работающих АЛУ.

Что касается операций над числами с плавающей точкой и других специальных сложных операций, то в системах на базе первых процессоров их реализовали последовательностью более простых команд, специальными подпрограммами, однако затем были разработаны специальные вычислители — математические сопроцессоры, которые заменяли основной процессор на время выполнения таких команд. В современных микропроцессорах математические сопроцессоры входят в структуру как составная часть.

Регистры процессора представляют собой по сути ячейки очень быстрой памяти и служат для временного хранения различных кодов: данных, адресов, служебных кодов. Операции с этими кодами выполняются предельно быстро, поэтому, в общем случае, чем больше внутренних регистров, тем лучше. Кроме того, на быстродействие процессора сильно влияет разрядность регистров. Именно разрядность регистров и АЛУ называется внутренней разрядностью процессора, которая может не совпадать с внешней разрядностью.

По отношению к назначению внутренних регистров существует два основных подхода. Первого придерживается, например, компания Intel, которая каждому регистру отводит строго определенную функцию. С одной стороны, это упрощает организацию процессора и уменьшает время выполнения команды, но с другой — снижает гибкость, а иногда и замедляет работу программы. Например, некоторые арифметические операции и обмен с устройствами ввода/вывода проводятся только через один регистр — аккумулятор, в результате чего при выполнении некоторых процедур может потребоваться несколько дополнительных пересылок между регистрами. Второй подход состоит в том, чтобы все (или почти все) регистры сделать равноправными, как , например, в 16-разрядных процессорах Т-11 фирмы DEC. При этом достигается высокая гибкость, но необходимо усложнение структуры процессора. Существуют и промежуточные решения, в частности, в процессоре MC68000 фирмы Motorola половина регистров использовалась для данных, и они были взаимозаменяемы, а другая половина — для адресов, и они также взаимозаменяемы.

Регистр признаков (регистр состояния) занимает особое место, хотя он также является внутренним регистром процессора. Содержащаяся в нем информация — это не данные, не адрес, а слово состояния процессора (ССП, PSW — Processor Status Word). Каждый бит этого слова (флаг) содержит информацию о результате предыдущей команды. Например, есть бит нулевого результата, который устанавливается в том случае, когда результат выполнения предыдущей команды — нуль, и очищается в том случае, когда результат выполнения команды отличен от нуля. Эти биты (флаги) используются командами условных переходов, например, командой перехода в случае нулевого результата. В этом же регистре иногда содержатся флаги управления, определяющие режим выполнения некоторых команд.

Схема управления прерываниями обрабатывает поступающий на процессор запрос прерывания, определяет адрес начала программы обработки прерывания (адрес вектора прерывания), обеспечивает переход к этой программе после выполнения текущей команды и сохранения в памяти (в стеке) текущего состояния регистров процессора. По окончании программы обработки прерывания процессор возвращается к прерванной программе с восстановленными из памяти (из стека) значениями внутренних регистров. Подробнее о стеке будет рассказано в следующем разделе.

Схема управления прямым доступом к памяти служит для временного отключения процессора от внешних шин и приостановки работы процессора на время предоставления прямого доступа запросившему его устройству.

Логика управления организует взаимодействие всех узлов процессора, перенаправляет данные, синхронизирует работу процессора с внешними сигналами, а также реализует процедуры ввода и вывода информации.

Таким образом, в ходе работы процессора схема выборки команд выбирает последовательно команды из памяти, затем эти команды выполняются, причем в случае необходимости обработки данных подключается АЛУ. На входы АЛУ могут подаваться обрабатываемые данные из памяти или из внутренних регистров. Во внутренних регистрах хранятся также коды адресов обрабатываемых данных, расположенных в памяти. Результат обработки в АЛУ изменяет состояние регистра признаков и записывается во внутренний регистр или в память (как источник, так и приемник данных указывается в составе кода команды). При необходимости информация может переписываться из памяти (или из устройства ввода/вывода) во внутренний регистр или из внутреннего регистра в память (или в устройство ввода/вывода).

Внутренние регистры любого микропроцессора обязательно выполняют две служебные функции:

* определяют адрес в памяти, где находится выполняемая в данный момент команда (функция счетчика команд или указателя команд);
* определяют текущий адрес стека (функция указателя стека).

В разных процессорах для каждой из этих функций может отводиться один или два внутренних регистра. Эти два указателя отличаются от других не только своим специфическим, служебным, системным назначением, но и особым способом изменения содержимого. Их содержимое программы могут менять только в случае крайней необходимости, так как любая ошибка при этом грозит нарушением работы компьютера, зависанием и порчей содержимого памяти.

Содержимое указателя (счетчика) команд изменяется следующим образом. В начале работы системы (при включении питания) в него заносится раз и навсегда установленное значение. Это первый адрес программы начального запуска. Затем после выборки из памяти каждой следующей команды значение указателя команд автоматически увеличивается (инкрементируется) на единицу (или на два в зависимости от формата команд и типа процессора). То есть следующая команда будет выбираться из следующего по порядку адреса памяти. При выполнении команд перехода, нарушающих последовательный перебор адресов памяти, в указатель команд принудительно записывается новое значение — новый адрес в памяти, начиная с которого адреса команд опять же будут перебираться последовательно. Такая же смена содержимого указателя команд производится при вызове подпрограммы и возврате из нее или при начале обработки прерывания и после его окончания.

45.(46)Функция памяти. Память программы начального запуска. Функция памяти. Таблица векторов прерываний.

Память микропроцессорной системы выполняет функцию временного или постоянного хранения данных и команд. Объем памяти определяет допустимую сложность выполняемых системой алгоритмов, а также в некоторой степени и скорость работы системы в целом. Модули памяти выполняются на микросхемах памяти (оперативной или постоянной). Все чаще в составе микропроцессорных систем используется флэш-память (англ. — flash memory), которая представляет собой энергонезависимую память с возможностью многократной перезаписи содержимого.

Информация в памяти хранится в ячейках, количество разрядов которых равно количеству разрядов шины данных процессора. Обычно оно кратно восьми (например, 8, 16, 32, 64). Допустимое количество ячеек памяти определяется количеством разрядов шины адреса как 2N, где N — количество разрядов шины адреса. Чаще всего объем памяти измеряется в байтах независимо от разрядности ячейки памяти. Используются также следующие более крупные единицы объема памяти: килобайт — 210 или 1024 байта (обозначается Кбайт), мегабайт — 220 или 1 048 576 байт (обозначается Мбайт), гигабайт — 230 байт (обозначается Гбайт), терабайт — 240 (обозначается Тбайт) Например, если память имеет 65 536 ячеек, каждая из которых 16-разрядная, то говорят, что память имеет объем 128 Кбайт. Совокупность ячеек памяти называется обычно пространством памяти системы.

Для подключения модуля памяти к системной магистрали используются блоки сопряжения, которые включают в себя дешифратор (селектор) адреса, схему обработки управляющих сигналов магистрали и буферы данных (рис. 8.18).

Оперативная память общается с системной магистралью в циклах чтения и записи, постоянная память — только в циклах чтения. Обычно в составе системы имеется несколько модулей памяти, каждый из которых работает в своей области пространства памяти. Селектор адреса как раз и определяет, какая область адресов пространства памяти отведена данному модулю памяти. Схема управления вырабатывает в нужные моменты сигналы разрешения работы памяти (CS) и сигналы разрешения записи в память (WR). Буферы данных передают данные от памяти к магистрали или от магистрали к памяти.

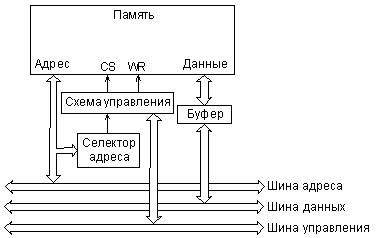


Рис. 8.18. Структура модуля памяти

В пространстве памяти микропроцессорной системы обычно выделяются несколько особых областей, которые выполняют специальные функции.

Память программы начального запуска всегда выполняется на ПЗУ или флэш-памяти. Именно с этой области процессор начинает работу после включения питания и после сброса его с помощью сигнала RESET. Память для стека или стек (Stack) — это часть оперативной памяти, предназначенная для временного хранения данных в режиме LIFO (Last In — First Out).

Особенность стека по сравнению с другой оперативной памятью — это заданный и неизменяемый способ адресации. При записи любого числа (кода) в стек число записывается по адресу, определяемому как содержимое регистра указателя стека, предварительно уменьшенное (декрементированное) на единицу (или на два, если 16-разрядные слова расположены в памяти по четным адресам). При чтении из стека число читается из адреса, определяемого содержимым указателя стека, после чего это содержимое указателя стека увеличивается (инкрементируется) на единицу (или на два). В результате получается, что число, записанное последним, будет прочитано первым, а число, записанное первым, будет прочитано последним. Такая память называется LIFO или памятью магазинного типа (например, в магазине автомата патрон, установленный последним, будет извлечен первым). Принцип действия стека показан на рис. 8.19 (адреса ячеек памяти выбраны условно).

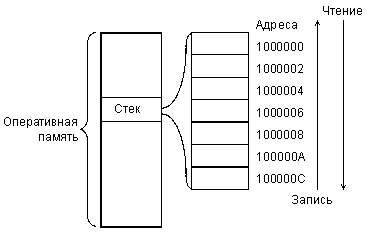


Рис. 8.19. Принцип работы стека

Пусть, например, текущее состояние указателя стека 1000008, и в него надо записать два числа (слова). Первое слово будет записано по адресу 1000006 (перед записью указатель стека уменьшится на два). Второе — по адресу 1000004. После записи содержимое указателя стека — 1000004.

Если затем прочитать из стека два слова, то первым будет прочитано слово из адреса 1000004, а после чтения указатель стека станет равным 1000006. Вторым будет прочитано слово из адреса 1000006, а указатель стека станет равным 1000008. Все вернулось к исходному состоянию. Первое записанное слово читается вторым, а второе — первым.

Необходимость такой адресации становится очевидной в случае многократно вложенных подпрограмм. Пусть, например, выполняется основная программа, и из нее вызывается подпрограмма 1. Если нам надо сохранить значения данных и внутренних регистров основной программы на время выполнения подпрограммы, мы перед вызовом подпрограммы сохраним их в стеке (запишем в стек), а после ее окончания извлечем (прочитаем) их из стека. Если же из подпрограммы 1 вызывается подпрограмма 2, то ту же самую операцию мы проделаем с данными и содержимым внутренних регистров подпрограммы 1. Понятно, что внутри подпрограммы 2 крайними в стеке (читаемыми в первую очередь) будут данные из подпрограммы 1, а данные из основной программы будут глубже. При этом в случае чтения из стека автоматически будет соблюдаться нужный порядок читаемой информации. То же самое будет и в случае, когда таких уровней вложения подпрограмм гораздо больше. То есть то, что надо хранить подольше, прячется поглубже, а то, что скоро может потребоваться — с краю.

В системе команд любого процессора для обмена информацией со стеком предусмотрены специальные команды записи в стек (PUSH) и чтения из стека (POP). В стеке можно прятать не только содержимое всех внутренних регистров процессоров, но и содержимое регистра признаков (слово состояния процессора, PSW). Это позволяет, например, при возвращении из подпрограммы контролировать результат последней команды, выполненной непосредственно перед вызовом этой подпрограммы. Можно также хранить в стеке и данные, для того чтобы удобнее было передавать их между программами и подпрограммами. В общем случае, чем больше область памяти, отведенная под стек, тем больше свободы у программиста и тем более сложные программы могут выполняться.

Следующая специальная область памяти — это таблица векторов прерываний.

Вообще, понятие прерывания довольно многозначно. Под прерыванием в общем случае понимается не только обслуживание запроса внешнего устройства, но и любое нарушение последовательной работы процессора. Например, может быть предусмотрено прерывание по факту некорректного выполнения арифметической операции типа деления на ноль. Или же прерывание может быть программным, когда в программе используется команда перехода на какую-то подпрограмму, из которой затем последует возврат в основную программу. В последнем случае общее с истинным прерыванием только то, как осуществляется переход на подпрограмму и возврат из нее.

Любое прерывание обрабатывается через таблицу векторов (указателей) прерываний. В этой таблице в простейшем случае находятся адреса начала программ обработки прерываний, которые и называются векторами. Длина таблицы может быть довольно большой (до нескольких сот элементов). Обычно таблица векторов прерываний располагается в начале пространства памяти (в ячейках памяти с малыми адресами). Адрес каждого вектора (или адрес начального элемента каждого вектора) представляет собой номер прерывания.

В случае аппаратных прерываний номер прерывания или задается устройством, запросившим прерывание (при векторных прерываниях), или же задается номером линии запроса прерываний (при радиальных прерываниях). Процессор, получив аппаратное прерывание, заканчивает выполнение текущей команды и обращается к памяти в область таблицы векторов прерываний, в ту ее строку, которая определяется номером запрошенного прерывания. Затем процессор читает содержимое этой строки (код вектора прерывания) и переходит в адрес памяти, задаваемый этим вектором. Начиная с этого адреса в памяти должна располагаться программа обработки прерывания с данным номером. В конце программы обработки прерываний обязательно должна располагаться команда выхода из прерывания, выполнив которую, процессор возвращается к выполнению прерванной основной программы. Параметры процессора на время выполнения программы обработки прерывания сохраняются в стеке.

Пусть, например, процессор (рис.8.20) выполнял основную программу и

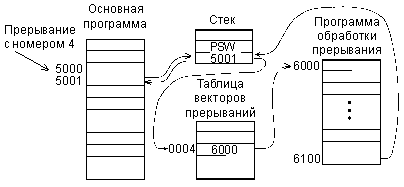


Рис. 8.20. Упрощенный алгоритм обработки прерывания

команду, находящуюся в адресе памяти 5000 (условно). В этот момент он получил запрос прерывания с номером (адресом вектора) 4. Процессор заканчивает выполнение команды из адреса 5000. Затем он сохраняет в стеке текущее значение счетчика команд (5001) и текущее значение PSW. После этого процессор читает из адреса 4 памяти код вектора прерывания. Пусть этот код равен 6000. Процессор переходит в адрес памяти 6000 и приступает к выполнению программы обработки прерывания, начинающейся с этого адреса. Пусть эта программа заканчивается в адресе 6100. Дойдя до этого адреса, процессор возвращается к выполнению прерванной программы. Для этого он извлекает из стека значение адреса (5001), на котором его прервали, и бывшее в тот момент PSW. Затем процессор читает команду из адреса 5001 и дальше последовательно выполняет команды основной программы.

Прерывание в случае аварийной ситуации обрабатывается точно так же, только адрес вектора прерывания (номер строки в таблице векторов) жестко привязан к данному типу аварийной ситуации.

Программное прерывание тоже обслуживается через таблицу векторов прерываний, но номер прерывания указывается в составе команды, вызывающей прерывание.

Такая сложная, на первый взгляд, организация прерываний позволяет программисту легко менять программы обработки прерываний, располагать их в любой области памяти, делать их любого размера и любой сложности.

Во время выполнения программы обработки прерывания может поступить новый запрос на прерывание. В этом случае он обрабатывается точно так же, как описано, но основной программой считается прерванная программа обработки предыдущего прерывания. Это называется многократным вложением прерываний. Механизм стека позволяет без проблем обслуживать это многократное вложение, так как первым из стека извлекается тот код, который был сохранен последним, то есть возврат из обработки данного прерывания происходит в программу обработки предыдущего прерывания.

Отметим, что в более сложных случаях в таблице векторов прерываний могут находиться не адреса начала программ обработки прерываний, а так называемые дескрипторы (описатели) прерываний. Но конечным результатом обработки этого дескриптора все равно будет адрес начала программы обработки прерываний.

Наконец, еще одна специальная область памяти микропроцессорной системы — это память устройств, подключенных к системной шине. Такое решение встречается нечасто, но иногда оно очень удобно. То есть процессор получает возможность обращаться к внутренней памяти устройств ввода/вывода или каких-то еще подключенных к системной шине устройств, как к своей собственной системной памяти. Обычно окно в пространстве памяти, выделяемое для этого, не слишком большое.

Все остальные части пространства памяти, как правило, имеют универсальное назначение. В них могут располагаться как данные, так и программы (конечно, в случае одношинной архитектуры). Иногда это пространство памяти используется как единое целое, без всяких границ. А иногда пространство памяти делится на сегменты с программно изменяемым адресом начала сегмента и с установленным размером сегмента. Оба подхода имеют свои плюсы и минусы. Например, использование сегментов позволяет защитить область программ или данных, но зато границы сегментов могут затруднять размещение больших программ и массивов данных.

В заключение остановимся на проблеме разделения адресов памяти и адресов устройств ввода/вывода. Существует два основных подхода к решению этой проблемы:

* выделение в общем адресном пространстве системы специальной области адресов для устройств ввода/вывода;
* полное разделение адресных пространств памяти и устройств ввода/вывода.

Первый подход хорош тем, что при обращении к устройствам ввода/вывода процессор может использовать те же команды, которые служат для взаимодействия с памятью. Но адресное пространство памяти должно быть уменьшено на величину адресного пространства устройств ввода/вывода. Например, при 16-разрядной шине адреса всего может быть 64К адресов. Из них 56К адресов отводится под адресное пространство памяти, а 8К адресов — под адресное пространство устройств ввода/вывода.

Преимущество второго подхода состоит в том, что память занимает все адресное пространство микропроцессорной системы. Для общения с устройствами ввода/вывода применяются специальные команды и специальные стробы обмена на магистрали. Именно так сделано, например, в персональных компьютерах. Но возможности взаимодействия с устройствами ввода/вывода в данном случае существенно ограничены по сравнению с возможностями общения с памятью.

47.Функции устройств ввода/вывода. Интерфейс.

Устройства ввода/вывода обмениваются информацией с магистралью по тем же принципам, что и память. Наиболее существенное отличие с точки зрения организации обмена состоит в том, что модуль памяти имеет в адресном пространстве системы много адресов (до нескольких десятков миллионов), а устройство ввода/вывода обычно имеет немного адресов (обычно до десяти), а иногда и всего один адрес.

Но модули памяти системы обмениваются информацией только с магистралью, с процессором, а устройства ввода/вывода взаимодействуют еще и с внешними устройствами, цифровыми или аналоговыми. Поэтому разнообразие устройств ввода/вывода неизмеримо больше, чем модулей памяти. Часто используются еще и другие названия для устройств ввода/вывода: устройства сопряжения, контроллеры, карты расширения, интерфейсные модули и т.д.

Объединяют все устройства ввода/вывода общие принципы обмена с магистралью и, соответственно, общие принципы организации узлов, которые осуществляют сопряжение с магистралью. Упрощенная структура устройства ввода/вывода (точнее, его интерфейсной части) приведена на рис. 2.21. Как и в случае модуля памяти, она обязательно содержит схему селектора адреса, схему управления для обработки стробов обмена и буферы данных.

Самые простейшие устройства ввода/вывода выдают на внешнее устройство код данных в параллельном формате и принимают из внешнего устройства код данных в параллельном формате. Такие устройства ввода/вывода часто называют параллельными портами ввода/вывода. Они наиболее универсальны, то есть удовлетворяют потребности сопряжения с большим числом внешних устройств, поэтому их часто вводят в состав микропроцессорной системы в качестве стандартных устройств. Параллельные порты обычно имеются в составе микроконтроллеров. Именно через параллельные порты микроконтроллер связывается с внешним миром.

Входной порт (порт ввода) в простейшем случае представляет собой параллельный регистр, в который процессор может записывать информацию. Выходной порт (порт вывода) обычно представляет собой просто однонаправленный буфер, через который процессор может читать информацию от внешнего устройства. Именно такие порты показаны для примера на рис. 8.21. Порт может быть и двунаправленным (входным/выходным). В этом случае процессор пишет информацию во внешнее устройство и читает информацию из внешнего устройства по одному и тому же адресу в адресном пространстве системы. Входные и выходные линии для связи с внешним устройством при этом могут быть объединены поразрядно, образуя двунаправленные линии. При обращении со стороны магистрали селектор адреса распознает адрес, приписанный данному устройству ввода/вывода. Схема управления выдает внутренние стробы обмена в ответ на магистральные стробы обмена. Входной буфер данных обеспечивает электрическое согласование шины данных с этим устройством (буфер может и отсутствовать).

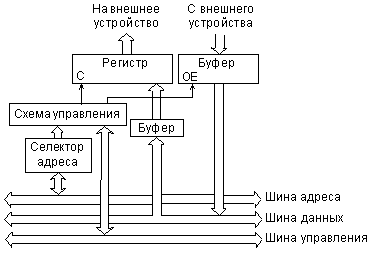


Рис. 8.21. Структура простейшего устройства ввода/вывода

Данные из шины данных записываются в регистр по сигналу С и выдаются на внешнее устройство. Выходной буфер данных передает входные данные с внешнего устройства на шину данных магистрали в цикле чтения из порта.

Более сложные устройства ввода/вывода (устройства сопряжения) имеют в своем составе внутреннюю буферную оперативную память и даже могут иметь микроконтроллер, на который возложено выполнение функций обмена с внешним устройством.

Каждому устройству ввода/вывода отводится свой адрес в адресном пространстве микропроцессорной системы. Дублирование адресов должно быть исключено, за этим должны следить разработчик и пользователь микропроцессорной системы.

Устройства ввода/вывода помимо программного обмена могут также поддерживать режим обмена по прерываниям. В этом случае они преобразуют поступающий от внешнего устройства сигнал запроса на прерывание в сигнал запроса прерывания, необходимый для данной магистрали (или в последовательность сигналов при векторном прерывании). Если нужно использовать режим ПДП, устройство ввода/вывода должно выдать сигнал запроса ПДП на магистраль и обеспечить работу в циклах ПДП, принятых для данной магистрали.

В составе микропроцессорных систем, как правило, выделяются три специальные группы устройств ввода/вывода:

* устройства интерфейса пользователя (ввода информации пользователем и вывода информации для пользователя);
* устройства ввода/вывода для длительного хранения информации;
* таймерные устройства.

К устройствам ввода для интерфейса пользователя относятся контроллеры клавиатуры, тумблеров, отдельных кнопок, мыши, трекбола, джойстика и т.д. К устройствам вывода для интерфейса пользователя относятся контроллеры светодиодных индикаторов, табло, жидкокристаллических, плазменных и электронно-лучевых экранов и т.д. В простейших случаях управляющих контроллеров или микроконтроллеров эти средства могут отсутствовать. В сложных микропроцессорных системах они есть обязательно. Роль внешнего устройства в данном случае играет человек.

Устройства ввода/вывода для длительного хранения информации обеспечивают сопряжение микропроцессорной системы с дисководами (компакт-дисков или магнитных дисков), а также с накопителями на магнитной ленте. Применение таких устройств существенно увеличивает возможности микропроцессорной системы в отношении хранения выполняемых программ и накопления массивов данных. В простейших контроллерах эти устройства отсутствуют.

Таймерные устройства отличаются от других устройств ввода/вывода тем, что они могут не иметь внешних выводов для подключения к внешним устройствам. Эти устройства предназначены для того, чтобы микропроцессорная система могла выдерживать заданные временные интервалы, следить за реальным временем, считать импульсы и т.д. В основе любого таймера лежит кварцевый тактовый генератор и многоразрядные двоичные счетчики, которые могут перезапускать друг друга. Процессор может записывать в таймер коэффициенты деления тактовой частоты, количество отсчитываемых импульсов, задавать режим работы счетчиков таймера, а читает процессор выходные коды счетчиков. В принципе выполнить практически все функции таймера можно и программным путем, поэтому иногда таймеры в системе отсутствуют. Но включение в систему таймера позволяет решать более сложные задачи и строить более эффективные алгоритмы.

Еще один важный класс устройств ввода/вывода — это устройства для подключения к информационным сетям (локальным и глобальным). Эти устройства распространены не так широко, как устройства трех перечисленных ранее групп, но их значение с каждым годом становится все больше. Сейчас средства связи с информационными сетями вводятся иногда даже в простые контроллеры.

+Иногда устройства ввода/вывода обеспечивают сопряжение с внешними устройствами с помощью аналоговых сигналов. Это бывает очень удобно, поэтому в состав некоторых микроконтроллеров даже вводят внутренние ЦАП и АЦП.